



# MicroConverter<sup>®</sup> ADuC842 с 12-разрядными АЦП и ЦАП, встроенным высокоскоростным МК с FLASH-ЭРПЗУ на 62КБ

## ХАРАКТЕРИСТИКИ

### СОВМЕСТИМОСТЬ ПО РАСПОЛОЖЕНИЮ КОНТАКТОВ

ИС является улучшенной версией ADuC812/ADuC832

### УЛУЧШЕННЫЕ РАБОЧИЕ ХАРАКТЕРИСТИКИ

Ядро 8052 с одноцикловыми командами (с быстродействием до 16MIPS)

Быстродействующий 12-разрядный АЦП с частотой выборок до 400К в секунду

### УЛУЧШЕННЫЕ ПАРАМЕТРЫ ПАМЯТИ

62КБ FLASH/EE внутренней памяти программ  
4КБ FLASH/EE внутренней памяти данных  
Программирование в составе схемы  
Сохранность Flash/EE 100лет, максимальное Число циклов программирования 100К  
2304 байт внутренней памяти данных - ОЗУ (RAM)

### МИНИАТЮРНЫЙ КОРПУС

ИС поставляются в миниатюрных CSP корпусах с размерами 8x8 мм  
Кроме этого, ИС поставляются в 52-контактных корпусах PQFP, контакты которых совместимы с контактами ИС ADuC812/ADuC832

### АНАЛОГОВЫЙ ВВОД-ВЫВОД

8-канальный прецизионный 12-бит АЦП  
Высокая скорость выборок 400К/сек  
Встроенный ИОН 20ppm/°C  
Контроллер ПД, организующий высокую скорость передачи АЦП—память данных  
Два 12-битных ЦАП-а (выход - напряжение)  
Два выхода ШИМ - ΣΔ ЦАП  
Внутренний температурный сенсор  
МП – ЯДРО 8051

Система команд совместима с 8051 (Макс част. 16.7МГц)

Высококачественное ядро, использующее одноцикловые инструкции (68% инструкций выполняется в течение одного – двух циклов)

Внешний кварцевый резонатор на 32КГц  
Программируемая система ФАПЧ  
12 источников прерывания с 2 уровнями приоритета

Два указателя данных, 11-разрядный указатель стека

### ПЕРИФЕРИЯ КРИСТАЛЛА

Счетчик временного интервала (TIC)

Порты последовательного обмена UART, I2C и SPI<sup>®</sup>

Сторожевой таймер (WDT), монитор источника питания (PSM)

### ПИТАНИЕ

Режимы питания: Нормальный 6мА (при напряжении 5В тактовой частоте CLK=2.098МГц),

Ждущий со снятым питанием 15мкА (при напряжении 3В)

### СРЕДСТВА РАЗРАБОТКИ

Недорогая удобная система, включающая простую интегрированную среду эмуляции через один контакт ИС, ассемблер и отладчик в среде языка С

### ПРИЛОЖЕНИЯ

Оптические системы связи – управление питанием лазера

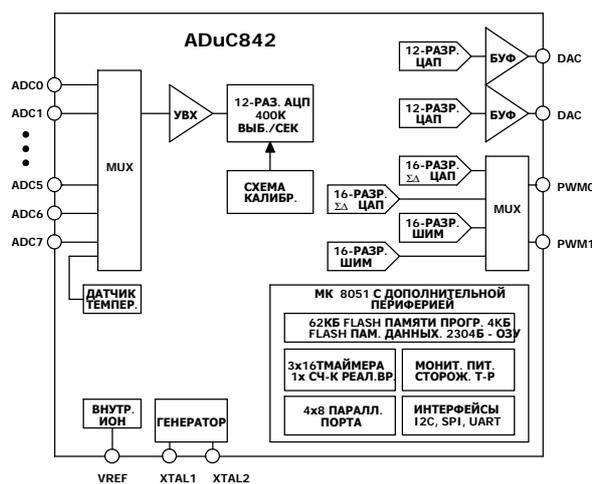
Базовые станции – управление смещением мощного усилителя

Прецизионный инструмент, интеллектуальные датчики

Системы съема информации

Системы сбора информации и связи

### ФУНКЦИОНАЛЬНАЯ БЛОК-СХЕМА



### ОБЩЕЕ ОПИСАНИЕ

ADuC842 является функционально законченным контроллером интеллектуальных датчиков и

включает в себя высококачественный многоканальный АЦП с самокалибровкой, два ЦАП-а и быстрый (16.77МГц) с одноцикловым выполнением команд 8-ми разрядный программируемый микроконтроллер на одном кристалле (с системой команд МК 8051). Устройство работает с внешним кварцевым резонатором 32КГц, при этом, внутренняя система ФАПЧ преобразует эту частоту в высокую – 16.77МГц. Далее высокая частота пропускается через программно-управляемый делитель, выходная частота с которого используется в качестве основной тактовой частоты МК. Ядром МК является контроллер 8052, обеспечивающий пиковую производительность до 16 MIPS. На кристалле располагается 62К байт неразрушаемой Flash/EE памяти программ, а также 4К байт неразрушаемой Flash/EE памяти данных, 256 байт памяти с произвольным доступом и 2К байта расширенной памяти с произвольным доступом.

В состав ADuC842 включены дополнительные аналоговые устройства: два 12-ти разрядных ЦАП-а, монитор источника питания и ИОН по запрещенной зоне. Дополнительными цифровыми устройствами

ИС являются: два 16-ти разрядных  $\Sigma\Delta$  ЦАП-а, два 16-ти разрядных ШИМ-модулятора, сторожевой таймер, счетчик временных интервалов, три счетчика/таймера и три порта последовательного обмена (SPI I2C и UART).

Для обеспечения совместимости по входным контактам с ИС младших моделей (ADuC812, ADuC832) интерфейсы I2C и SPI изделия могут использовать одни и те же контакты внешнего подключения. Однако существует возможность использовать для этой цели разные контакты (I2C – P3.3, P3.4, а SPI - стандартные).

Заводское ПЗУ МК позволяет выполнять загрузку программного обеспечения и его отладку через последовательный порт UART, а также выполнять эмуляцию через единственный контакт устройства - EA. Выше приведена функциональная блок-схема ADuC842.

Устройство специфицировано для работы с источниками плюс 3В и 5В с максимальной рабочей частотой 16.77МГц.

**Спецификации ADuC842** ( $V_{DD}=DV_{DD}=2.7V - 3.3V$  или  $4.5V - 5.5V$ ,  $REF=2.5V$  внутренний ИОН,  $F_{core}=16.77МГц$ , Все спецификации приводятся для  $T_A$ =от  $T_{мин}$  до  $T_{макс}$ , если другое не указано особо.)

Параметр	ADuC842 $V_{DD} =$		Единицы	Условия измерения
	5В	3В		
<b>СПЕЦИФИКАЦИЯ КАНАЛОВ АЦП:</b>				
<b>ПО ПОСТОЯННОМУ ТОКУ<sup>2,3</sup></b>				
Разрешение	12	12	Разряды	$F_{sampler}=147КГц$
Интегральная нелинейность	$\pm 1$	$\pm 1$	LSB максим.	Внутр. ИОН 2.5В
	$\pm 0.3$	$\pm 0.3$	LSB средняя	
Дифференциальная нелинейность	$\pm 0.9$	$\pm 0.9$	LSB максим.	Внутр. ИОН 2.5В
	$\pm 0.25$	$\pm 0.25$	LSB средняя	
Интегральная нелинейность <sup>9</sup>	$\pm 1.5$	$\pm 1.5$	LSB максим.	Внешний. ИОН 1В
Дифференциальная нелинейность <sup>9</sup>	+1.5/-0.9	+1.5/-0.9	LSB максим.	Внешний. ИОН 1В
Погрешность передачи кода	1	1	LSB средняя	На входе АЦП пост. напряжение
<b>КАЛИБРОВОЧНЫЕ ОШИБКИ КОНЕЧНЫХ ТОЧЕК ШКАЛЫ<sup>4,5</sup></b>				
Ошибка смещения	$\pm 2$	$\pm 3$	LSB максим.	
Согласованность ошибки смещения	$\pm 1$	$\pm 1$	LSB средняя	
Ошибка усиления	$\pm 2$	$\pm 3$	LSB максим.	
Согласованность ошибки усиления	-85	-85	дБ средняя	
<b>ДИНАМИЧЕСКАЯ РАБОТА</b>				
Отношение сигнал-шум (SNR) <sup>6</sup>	71	71	дБ среднее	$F_{in}=10КГц$ Синус. Сигнал $F_{sampler}=147КГц$
Полный коэффициент гармоник (THD)	-85	-85	дБ средний	
Пиковая гармоника или шумовая помеха	-85	-85	дБ средняя	
Перекрестная помеха между каналами <sup>7</sup>	-80	-80	дБ средняя	
<b>АНАЛОГОВЫЙ ВХОД</b>				
Диапазон входных напряжений	0 – Vref	0 – Vref	Вольты	
Входной ток	$\pm 1$	$\pm 1$	мкА максим.	
Входная емкость	32	32	пФ средняя.	
<b>ТЕМПЕРАТУРНЫЙ СЕНСОР<sup>8</sup></b>				
Выходное напряжение (25 °C)	650	650	мВ среднее	
Температурный коэффициент (ТС)	-2.0	-2.0	мВ/°C средний	
Точность	$\pm 3$	$\pm 3$	°C средняя	Внутренний ИОН 2.5В
Точность	$\pm 1$	$\pm 1$	°C средняя	Внешний ИОН 2.5В
<b>СПЕЦИФИКАЦИЯ КАНАЛОВ ЦАП</b>				
Внутренний буфер разрешен				ЦАП с нагрузкой на землю $R_L=10Ком$ , $C_L=100пФ$
<b>ПО ПОСТОЯННОМУ ТОКУ<sup>10</sup></b>				
Разрешение	12	12	Разряды	
Относительная точность	$\pm 3$	$\pm 3$	LSB средняя	
Дифференциальная нелинейность <sup>11</sup>	-1	-1	LSB максим.	Гарантируется 12-разрядная монотонность
	$\pm 1/2$	$\pm 1/2$	LSB средняя	в диапазоне Vref
Ошибка смещения	$\pm 50$	$\pm 50$	мВ максим.	От AVdd
Ошибка шкалы	$\pm 1$	$\pm 1$	% максим.	От Vref
	$\pm 1$	$\pm 1$	% средняя	
Согласование шкал	0.5	0.5	% среднее	% от полной шкалы ЦАП1
<b>АНАЛОГОВЫЕ ВЫХОДЫ</b>				
Диапазон напряжений 0	0 – Vref	0 – Vref	Вольты средний	ИОН ЦАП = 2.5В
Диапазон напряжений 1	0 – VDD	0 – VDD	Вольты средний	ИОН ЦАП = Vdd
Выходной импеданс	0.5	0.5	Ом средний	
Isink	50	50	мкА средний	

СПЕЦИФИКАЦИЯ ЦАП ПО ПЕРЕМЕННОМУ ТОКУ Время установления выходного напряжения	15	15	мс среднее	Время установления максим. сигнала с ошибкой не превосходящей 0.5 LSB. При изменении входного кода с переносом единицы в старший разряд
Энергетика импульсной помехи из цифровой цепи	10	10	нВ сек средняя	
СПЕЦИФИКАЦИЯ КАНАЛОВ ЦАП <sup>12, 13</sup> Внутренний буфер запрещен				
ТОЧНОСТЬ НА ПОСТОЯННОМ ТОКЕ <sup>10</sup> Разрешение Относительная точность Дифференциальная нелинейность <sup>11</sup>  Ошибка смещения Ошибка усиления Несоответствие ошибки усиления	12 ± 3 -1 ± 1/2 ± 10 ± 1 0.5	12 ± 3 -1 ± 1/2 ± 10 ± 1 0.5	Разрядов LSB средняя LSB максим. LSB средняя мВ максим. % средняя % средняя	Гарантируется 12-разрядная монотонность В диапазоне Vref От Vref % от полной шкалы ЦАП1
АНАЛОГОВЫЕ ВЫХОДЫ Диапазон напряжений 0	0 - Vref	0 - Vref	Вольты средний	ИОН ЦАП=2.5В
ВХОДЫ/ВЫХОДЫ ИОН ВЫХОД ИОН <sup>14</sup> Выходное напряжение Точность Коэффициент режекции влияния источника питания Температурный коэффициент ИОН Время включения внутреннего ИОН	2.5 ± 2.5 47 ± 20 80	2.5 ± 2.5 57 ± 20 80	Вольты % максим. дБ средний ppm/°C средний мс среднее	От Vref на входе Cref
ВХОД ВНЕШНЕГО ИОН <sup>15</sup> Диапазон напряжений (Vref) <sup>9</sup>  Входной импеданс Входной ток	0.1 Vdd 20 10	0.1 Vdd 20 10	Вольт мин. Вольт максим. КОм средний мкА максим.	Внутренний ИОН запрещен через ADCCON1.6
МОНИТОР ПИТАНИЯ (PSM) Диапазон установки порога по AV <sub>DD</sub>  Погрешность установки порога по DV <sub>DD</sub>	2.63 4.37  ± 3.5		Вольты мин Вольты макс  % от макс	Установка 4-х значений порога из этого диапазона производится с помощью разрядов TPA 1-0 в PSMCON
СТОРОЖЕВОЙ ТАЙМЕР (WDT) <sup>9</sup> Интервал времени Тайм-аута	0 2000	0 2000	мс мин. мс максим.	Из этого диапазона можно выбирать 8 значений
РАБОЧИЕ ХАРАКТЕРИСТИКИ ЭРПЗУ (FLASH/EE) <sup>16</sup> Допустимое число циклов программирования <sup>17</sup> Сохранность данных <sup>18</sup>	100000 100	100000 100	Циклов минимум Циклов минимум Лет минимум	
ЦИФРОВЫЕ ВХОДЫ Вх. напр. высокого уровня (V <sub>INH</sub> ) Вх. напр. низкого уровня (V <sub>INL</sub> ) Входной ток утечки (Порт 0, 1, EA)  Входной ток Лог.1 (Все цифровые входы)  Входной ток Лог.0 (Порт 2, 3)  Ток при переходе Лог. 1-0 (Порт 2, 3)	2.4 0.8 ± 10 ± 1  ± 10 ± 1 -80 -40 -700 -400	   ± 1  ± 1  -40 -400	Вольты мин Вольты макс мкА макс мкА средний мкА макс мкА средний мкА макс мкА средний	V <sub>in</sub> =0В или V <sub>DD</sub> V <sub>in</sub> =0В или V <sub>DD</sub>  V <sub>in</sub> =V <sub>DD</sub> V <sub>in</sub> =V <sub>DD</sub>  V <sub>IL</sub> =0В V <sub>IL</sub> =2В V <sub>IL</sub> =2В
КВАРЦЕВЫЙ РЕЗОНАТОР Только вход XTAL1 низкий логический уровень, V <sub>INL</sub> высокий логический уровень V <sub>INH</sub> Входная емкость на XTAL1 Выходная емкость на XTAL2 Тактовая частота МК	0.8 3.5 18 18 16.7772	0.4 2.5 18 18 16.7772	Вольт средний Вольт средний пФ средняя пФ средняя МГц	
ЦИФРОВЫЕ ВЫХОДЫ Выходное напряжение высокого уровня (V <sub>OH</sub> )	2.4 4.0	2.4 2.6	Вольты мин. Вольты среднее	V <sub>DD</sub> =4.5В - 5.5В, I <sub>src</sub> =80мкА V <sub>DD</sub> =2.7В - 3.3В, I <sub>src</sub> =20мкА

Выходное напряжение низкого уровня ( $V_{OL}$ ) ALE, Порт 0, 2	0.4	0.4	Вольты макс.	$I_{sink}=1.6mA$
Порт 3	0.2	0.2	Вольты среднее	$I_{sink}=1.6mA$
SCLOCK/SDATA	0.4	0.4	Вольты макс.	$I_{sink}=4mA$
Ток утечки в «плавающем состоянии»	0.4	0.4	Вольты макс.	$I_{sink}=8mA$
Выходная емкость в «плавающем состоянии»	$\pm 10$	$\pm 10$	мкА макс.	
	$\pm 1$	$\pm 1$	мкА средний	
	10	10	пФ средняя	
<b>ВРЕМЯ ЗАПУСКА</b>				На частоте ядра CLK=16МГц
При подаче питания	500	500	мс среднее	
При выходе из Холодного Режим	100	100	мс среднее	
При выходе из Ждущего Режим:				
По прерыванию INTO	150	400	мс среднее	
По прерыванию от SPI/I2C	150	400	мс среднее	
По внешнему сбросу RESET	150	400	мс среднее	
По внешнему сбросу в Нормальном Режиме	3	3	мс среднее	
После срабатывания WDT в Нормальном Режиме	3	3	мс среднее	Управляется с помощью WDCON в SFR
<b>ТРЕБОВАНИЯ К ПИТАНИЮ</b> <sup>19, 20</sup>				
Напряжения источника питания AVdd/DVdd – AGND		2.7	Вольта мин.	AVdd/DVdd = 3В ном.
		3.3	Вольта макс.	AVdd/DVdd = 5В ном.
	4.5		Вольта мин.	
	5.5		Вольта макс.	
Токи источника в Нормальном Режиме				
Ток Dvdd <sup>9</sup>	12	6	мА средний.	CLK = 8МГц (CD=3)
Ток Avdd <sup>9</sup>	1.4	1.4	мА макс.	
Ток Dvdd	25	-	мА макс.	CLK = 16МГц (CD=0)
	21	-	мА средний	
Ток AVdd	1.4	-	мА макс.	
Токи источника в Холодном Режиме				
Ток Dvdd <sup>9</sup>	5	2.5	мА средний	CLK = 8МГц (CD=3)
Ток Avdd <sup>9</sup>	0.11	0.11	мА средний	
Ток Dvdd <sup>9</sup>	11	-	мА макс.	CLK = 16МГц (CD=0)
	10	-	мА средний	
Ток AVdd <sup>9</sup>	0.11	-	мА средний	
Токи источника в Ждущем Режиме				При любой тактовой частоте ядра генератор выключен
Ток Avdd	3	2.5	мкА средний	
Ток Dvdd	35	15	мкА макс.	
	25	12	мкА средний	
	120	120	мкА средний	генератор включен
Дополнительные средние токи источника				AVdd = DVdd = 5В
Периферия PSM	50		мкА средний	
АЦП	1.5		мА средний	
ЦАП	150		мкА средний	

## ПРИМЕЧАНИЯ:

- <sup>1</sup> Температурный диапазон от -40 до +85°C.
- <sup>2</sup> Линейность АЦП гарантирована при нормальной работе МП ядра.
- <sup>3</sup> Для АЦП,  $LSB (МЗР) = V_{ref}/2^{12}$ ,  $1LSB = 610\text{мкВ}$ . Для внешнего ИОН при  $V_{ref}=1В$ ,  $1LSB = 244\text{мкВ}$ .
- <sup>4</sup> Ошибки Смещения и Усиления, а так же Несогласованность ошибок Смещения и Усиления измеряются после производственной калибровки.
- <sup>5</sup> При использовании внешних компонент АЦП для получения указанных спецификаций пользователю, возможно, потребуется выполнить процедуру системной калибровки.
- <sup>6</sup> Вычисления коэффициента шума (SNR) учитывают шумовую компоненту и искажения.
- <sup>7</sup> Перекрестная помеха между каналами измеряется для соседних каналов.
- <sup>8</sup> Температурный сенсор измеряет непосредственно температуру кристалла, из его показаний можно вычислить температуру окружающей среды.
- <sup>9</sup> Эти данные не проверяются в производстве, но они гарантируются собственно конструкцией и технологическим процессом при выпуске устройства.
- <sup>10</sup> Линейность ЦАП вычисляется с учетом:  
сокращенного диапазона кодов от 48 до 4095, для диапазона от 0 до  $V_{ref}$   
сокращенного диапазона кодов от 48 до 3995, для диапазона от 0 до  $V_{DD}$   
нагрузка ЦАП-а = 10КОм и 100пФ.
- <sup>11</sup> Дифференциальная нелинейность ЦАП указывается для двух диапазонов: от 0 до  $V_{ref}$  и от 0 до  $V_{DD}$ .
- <sup>12</sup> В случае не буферизованного выхода выходной импеданс ЦАП зависит от значения кода данных.
- <sup>13</sup> Спецификации ЦАП для  $I_{SINK}$ , времени установления выходного сигнала и величины импульсной помехи из цифровой цепи, в режиме без внутренней буферизации, зависят от конкретной конфигурации внешнего буфера.
- <sup>14</sup> Измеряется при наличие блокирующих конденсаторов 0.1мкФ на землю на контактах  $V_{ref}$  и  $C_{ref}$ . Время установления внутреннего ИОН при подаче питания определяется величиной этих блокирующих конденсаторов.
- <sup>15</sup> При использовании внешнего ИОН внутренний можно заблокировать установкой бита ADCCON1.6. В этом случае контакты  $V_{ref}$  и  $C_{ref}$  следует соединить накоротко.
- <sup>16</sup> Характеристики надежности Flash/EE памяти одинаковы как для Flash/EE памяти программ так и для Flash/EE памяти данных.
- <sup>17</sup> Допустимое число циклов программирования определяется в 100К, в соответствие с JEDEC Std. метод A117 и определяется при -40°C, +25°C и +85°C. Среднее число циклов при +25°C составляет 700К.
- <sup>18</sup> Сохранность данных определяется при температуре перехода ( $T_j$ )=55°C в соответствие с JEDEC метод A117. Определение интервала сохранности данных базируется на том факте, что во FLASH ЭРПЗУ энергия активации 0.6эВ снижается с уменьшением температуры перехода, как показано на Рис.27.
- <sup>19</sup> Токопотребление устройства измеряется для Нормального, Холостого и Ждущего Режимов в следующих условиях:  
Нормальный режим: RESET=0.4В, Контакты Цифрового В/В=разомкнуты. Тактовая частота ядра задается битами CD в PLLCON. Ядро исполняет цикл во внутренней памяти.  
Холостой режим: RESET=0.4В, Контакты Цифрового В/В=разомкнуты. Тактовая частота ядра задается битами CD в PLLCON PLLCON.0=1. Операция Ядра отложена.  
Ждущий режим: RESET= Порт0=0.4В, Контакты всех оставшихся портов разомкнуты. Тактовая частота ядра задается битами CD в PLLCON PLLCON.0=1. Операция Ядра отложена. OSC включается/выключается с помощью бита OSC\_PD (PLLCON.7) в PLLCON SFR.
- <sup>20</sup> Во время выполнения программирования или стирания FLASH ЭРПЗУ ток, потребляемый от источника  $V_{DD}$ , увеличивается в среднем на 3мА (при питании 3В) и на 10мА (при питании 5В).

Спецификации изменяются без объявления

**Предельно допустимые параметры \***(T<sub>a</sub> = +25 °C, если не оговаривается особо)

AV <sub>DD</sub> к DV <sub>DD</sub>	-0.3В до +0.3В
AGND к DGND	-0.3В до +0.3В
DV <sub>DD</sub> к DGND, AV <sub>DD</sub> к AGND	-0.3В до +7В
Цифровой вход к DGND	-0.3 В, DV <sub>DD</sub> + 0.3 В
Цифровой выход к DGND	-0.3 В, DV <sub>DD</sub> + 0.3 В
Vref к AGND	-0.3 В, AV <sub>DD</sub> + 0.3 В
Аналоговые входы к AGND	-0.3 В, AV <sub>DD</sub> + 0.3 В
Индустриальный диапазон рабочих температур ADuC842BS	-40°C .. +85°C
Индустриальный диапазон рабочих температур ADuC842BCP	-40°C .. +85°C
Температура хранения	-65°C .. +150°C
Температура перехода	150°C
Θ <sub>JA</sub> Температурное сопротивление ADuC842BS	90°C/Вт
Θ <sub>JA</sub> Температурное сопротивление ADuC842BCP	52°C/Вт
Температура выводов при пайке:	
В паровой фазе (60сек)	+215°C
Инфракрасная (15сек)	+220°C

\* Превышение указанных выше предельных параметров может вызвать повреждение устройства. Эксплуатация устройства при предельных значениях параметров может повлиять на его надежность.

**СПРАВКА ДЛЯ ЗАКАЗА**

Модель	Температурный диапазон	Описание корпуса	Тип корпуса
ADuC842BS	-40 °C до +85 °C	52-контактный PQF	S-52
ADuC842BCP	-40 °C до +85 °C	56-контактный CSP	CP-56

**ВНИМАНИЕ !**

Устройство чувствительно к электростатическим разрядам (ESD). Разряд до 4000В, уже накопленный на человеке или оборудовании, может произойти неконтролируемым образом при простом прикосновении к устройству. Не смотря на то, что устройство ADuC842 имеет цепи защиты, для сохранения его работоспособности следует предпринять соответствующие меры.

## ОПИСАНИЕ КОНТАКТОВ

Мнемоника	Тип	Функция
DV <sub>DD</sub>	P	Положительное цифровое питание +3В или +5В.
AV <sub>DD</sub>	P	Положительное аналоговое питание +3В или +5В.
Cref	I	Вход развязки внутреннего ИОН. Между ним и AGND устанавливается блокирующий конденсатор. 0.1мкФ.
Vref	I/O	ИОН вход/выход. Этот контакт внутри соединен через последовательный резистор с ИОН АЦП. Номинальное напряжение ИОН 2.5В присутствует на этом контакте. Внутренний ИОН ИС подавляется подключением к этому контакту внешнего источника.
AGND	G	Аналоговая земля. Общая точка аналоговых цепей.
P1.0-P1.7	I	Порт1 (8 входов) только на ввод. Порт1 по умолчанию настраивается на ввод аналоговых сигналов, для конфигурирования контактов на цифровой ввод следует записать 0 соответствующий бит порта. Порт1 - многофункционален и выполняет перечисленные ниже функции.
ADC0-ADC7	I	Аналоговые входы. 8 однофазных входов. Выбор канала осуществляется через регистр специального назначения (SFR) ADCCON2.
T2	I	Цифровой вход Таймера/Счетчика2. Когда вход разрешен Счетчик2 инкрементируется по перепаду 1-0 на входе T2.
T2EX	I	Цифровой вход. Вход триггера Захвата/Перезагрузки Счетчика2, а так же вход управления направлением счета Счетчика2.
SS	I	Выбор ведомого (Slave Select). Вход синхронного интерфейса (SPI).
SDATA	I/O	Выбираемый пользователем контакт ВВОДА/ВЫВОДА данных для интерфейса I <sup>2</sup> C или SPI.
SCLOCK	I/O	Сигнал последовательной синхронизации интерфейса I <sup>2</sup> C или SPI.
MOSI	I/O	Для SPI Ведущий Выход/Ведомый Вход данных.
MISO	I/O	Для SPI Ведущий Вход/Ведомый Выход данных.
DAC0	O	Выходное напряжение ЦАПО.
DAC1	O	Выходное напряжение ЦАП1.
RESET	I	Цифровой вход. Высокий уровень сигнала на этом входе в течение 24 периодов тактовой частоты работающего осциллятора приводит к выполнению устройством начальной установки.
P3.0-P3.7	I/O	Двухнаправленный Порт3 с внутренними, подтягивающими к питанию резисторами. Контакты Порта3, с записанными в них 1 подтянуты вверх и могут использоваться как входы. При использовании контактов в качестве входов, следует иметь ввиду, что они дают ток во внешнюю цепь. Как показано ниже, контакты Порта3 - мультиплексны.
PWMC	I	Вход синхронизации ШИМ.
PWM0	O	Выход напряжения ШИМ PWM0. Эти выходы можно сконфигурировать как порты 2.6 и 2.7 или как порты 3.3 и 3.4.
PWM1	O	Выход напряжения ШИМ PWM1. Дополнительная информация содержится в описании регистра конфигурации CFG 842.
RxD	I/O	Вход приемника асинхронного последовательного интерфейса (UART) или Ввод/Вывод данных для синхронного.
TxD	O	Выход передатчика асинхронного последовательного интерфейса (UART) или Выход синхронизации для синхронного.
INT0	I	Вход внешнего прерывания 0, программируется по перепаду/уровню; устанавливается на один из 2-х уровней приоритета. Контакт может использоваться как строб управления счетом Таймера0.
INT1	I	Вход внешнего прерывания 1, программируется по перепаду/уровню; устанавливается на один из 2-х уровней приоритета. Контакт может использоваться как строб управления счетом Таймера1.
T0	I	Вход Таймера/Счетчика0.
T1	I	Вход Таймера/Счетчика1.
CONVST	I	Вход Запуска Преобразования АЦП (активный уровень низкий) при разрешенном внешнем запуске. Переход 0-1 переводит схему в режим хранения и запускает цикл преобразования.
WR	O	Выход сигнала управления Записью. Защелкивает байт данных из Порта0 во внешнюю память данных.
RD	O	Выход сигнала управления Чтением. Разрешает ввод данных из внешней памяти в Порт0.
XTAL2	O	Инвертирующий выход генераторного усилителя.
XTAL1	I	Вход усилителя и вход доступа к внутренним цепям генератора.
DGND	G	Цифровая земля. Общая точка цифровых цепей.

**ADuC842                      ПРЕДВАРИТЕЛЬНЫЕ ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ**

P2.0-P2.7 (A8-A15) (A16-A23)	I/O	Двунаправленный Порт2 с внутренними, подтягивающими к питанию резисторами. Контакты Порта2, с записанными в них 1 подтянуты вверх и могут использоваться как входы. При использовании контактов в качестве входов, следует иметь ввиду, что они дают ток во внешнюю цепь. При обращении к внешней памяти программ Порт2 содержит старший байт адреса, при обращении к расширенной памяти данных порт дает средний и старший байты 24-разрядного адреса данных.
PSEN/	O	Выход строба разрешения внешней памяти программ. Является сигналом управления внешней памятью программ. Активен в течение 6 периодов тактового генератора, исключая время доступа к внешней памяти данных. Контакт находится в состоянии Лог.1 при работе с внутренней памятью программ. Контакт можно использовать для разрешения режима последовательной загрузки в ЭРПЗУ, для этого контакт подключается через последовательный резистор к земле на время включения питания или генерации сигнала RESET.
ALE	O	Выход строба записи адреса. Используется для защелкивания младшего байта адреса (при 24-битном пространстве - среднего байта адреса) при обращении к внешней памяти
EA	I	Вход разрешения доступа к внешней памяти программ. Если =1, выборка производится из внутренней памяти 0000H .. 1FFFH, если=0, то все инструкции выбираются из внешней памяти. Этот контакт запрещается оставлять «плавающим».
P0.0-P0.7 (A0-A7)	I/O	Двунаправленный Порт0 с открытым стоком. Контакты порта с записанными в них 1 являются плавающими и могут использоваться как высокоимпедансные входы. При обращении к внешней памяти программ или данных Порт0 мультиплексирован с магистралями младшего байта адреса и данных. В этом случае при наличие в нем 1, порт подтягивается к питанию внутренним образом.

**ТЕРМИНОЛОГИЯ**

**Спецификации АЦП**

**Интегральная нелинейность**

Представляет собой максимальное отклонение любого кода от прямой линии, проведенной через крайние точки передаточной функции АЦП. Крайними точками являются: нулевая, находящаяся на 0.5LSB ниже точки появления первого кода, и последняя - на 0.5LSB выше граничного кода шкалы.

**Дифференциальная нелинейность**

Представляет собой разницу между измеренной и идеальной шириной 1 кванта (1 LSB) АЦП.

**Ошибка смещения**

Представляет собой отклонение момента первичной смены кода с (000H) на (001H) от идеального значения т.е. +0.5LSB.

**Ошибка полной шкалы**

Представляет собой отклонение момента последней смены кода от идеального входного напряжения, соответствующего (полной шкале - 1.5LSB) после компенсации ошибки смещения.

**Отношение сигнал/(шум + искажения)**

Представляет собой измеренное отношение сигнала к (шуму + искажения) на выходе АЦП. Сигнал - среднеквадратичный выходной сигнал АЦП. Шум - среднеквадратичная сумма составляющих в полосе до  $F_s/2$  - (половина частоты выборки), исключая постоянную составляющую. Отношение зависит от числа уровней квантования в процессе преобразования сигнала. Чем больше число квантов, тем меньше шум квантования.

Для идеального АЦП с синусоидальным сигналом на входе:

$$SNR=(6.02N + 1.76) \text{ (дБ)}$$

N-число разрядов.

Таким образом, для 12 разрядного АЦП SNR=74дБ.

**Коэффициент гармоник**

Представляет собой отношение суммы среднеквадратичных сигналов гармоник к основной гармонике.

**Спецификации ЦАП**

**Относительная точность**

Относительная точность или линейность в конечной точке шкалы есть величина максимального отклонения функции передачи ЦАП от идеальной прямой, проведенной через крайние точки. Она измеряется после компенсации ошибок сдвига нуля и полной шкалы.

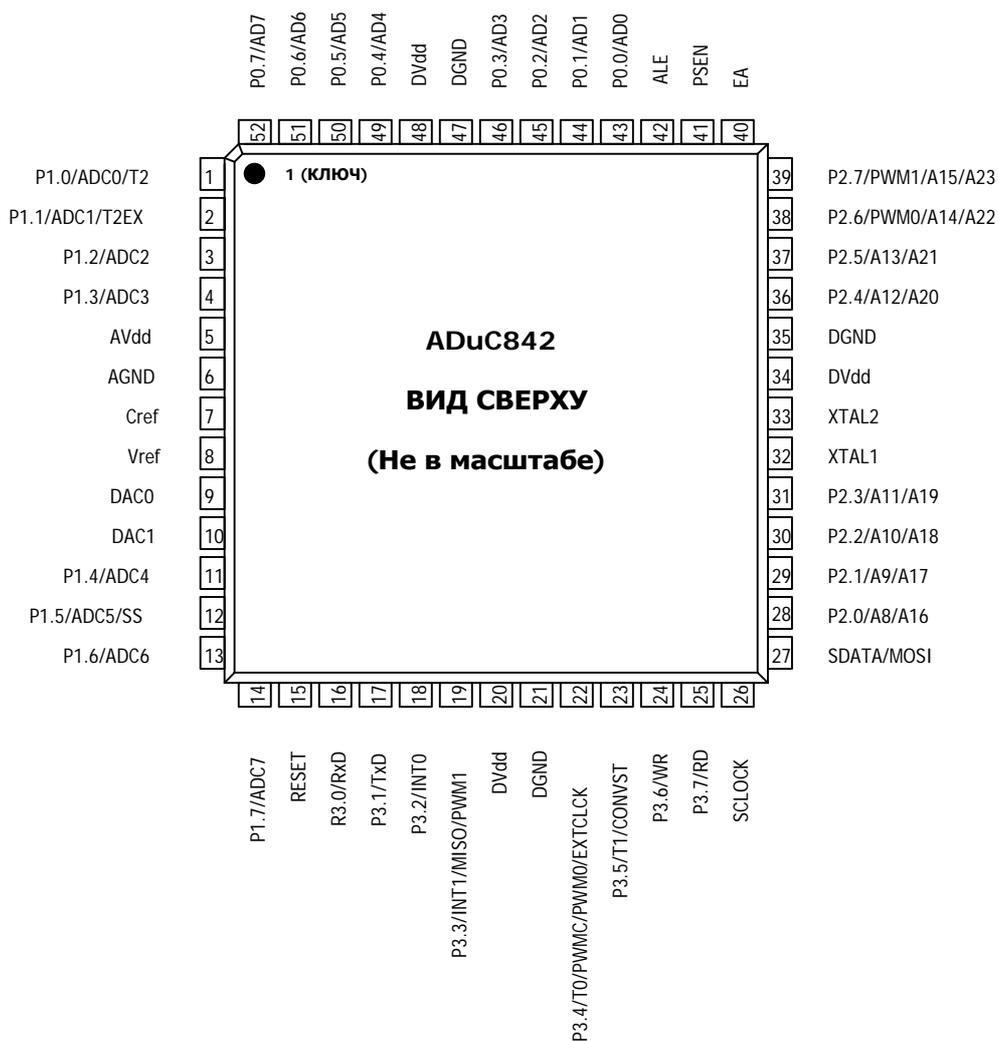
**Время установления выходного напряжения**

Представляет собой интервал времени, в течение которого выходное напряжение достигает заданного уровня при изменении входного кода до значения полной шкалы.

**Величина импульсной помехи на аналоговом выходе при изменении цифрового кода**

Представляет собой некоторую величину заряда, инжектированного на аналоговый выход при изменении входного кода. Помеха специфицируется площадью импульса выброса в (нВсек).

## РАСПОЛОЖЕНИЕ КОНТАКТОВ





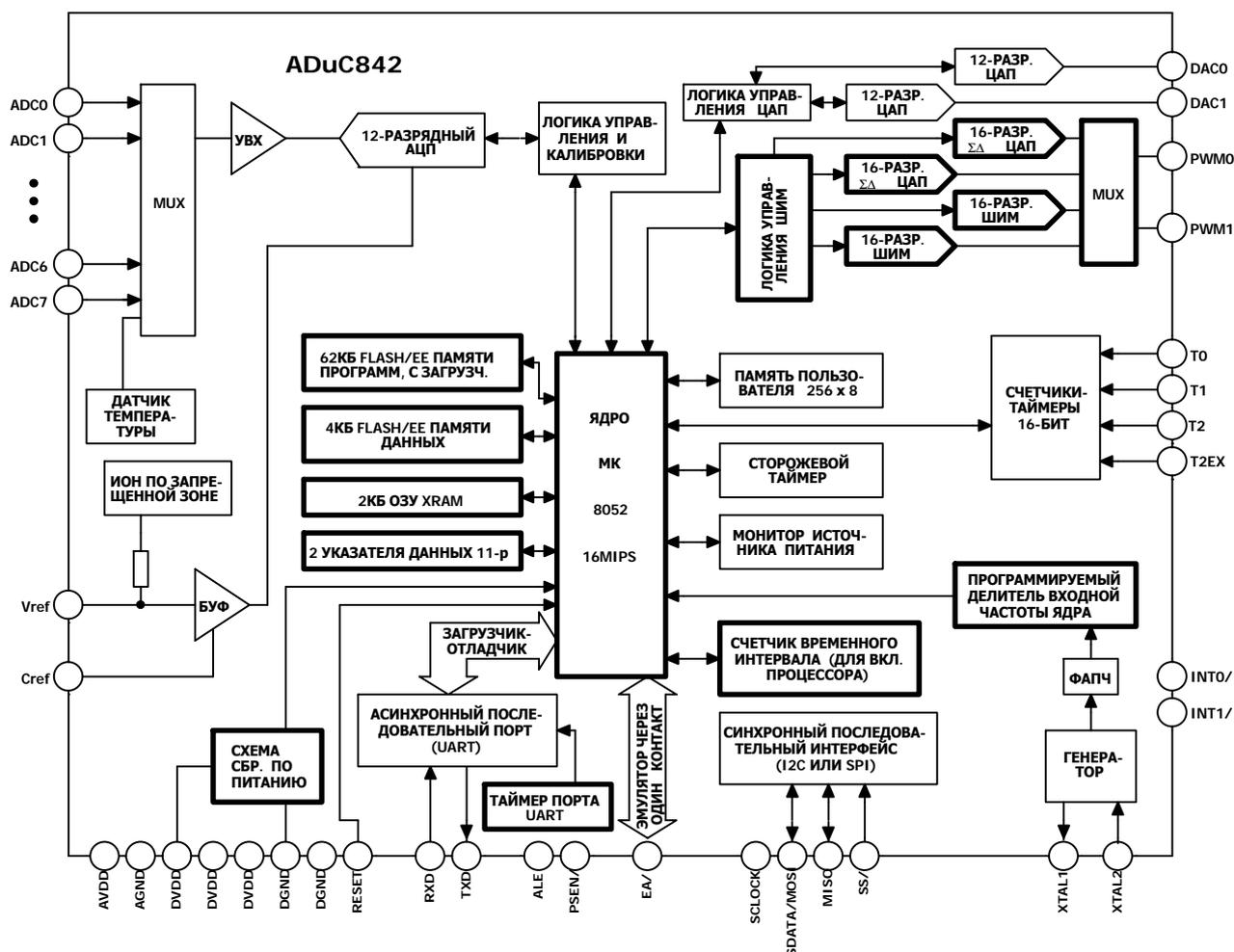


Рисунок 1 Блок-схема ADuC842 (элементы, очерченные жирной рамкой, отсутствуют в ИС ADuC812)

**ВВЕДЕНИЕ**

ADuC842 обладает улучшенной 16MIPs версией ядра МК 8052 по сравнению с микроконвертером ADuC832. Изделие обладает всеми функциями ADuC832, стандартное 12-цикловое ядро которого заменено одноцикловым с производительностью 16MIPs.

Так как большинство характеристик обоих изделий ADuC842 и ADuC832 одинаковы, в данном документе рассматриваются только те из них, которые имеют определенные отличия. За полной документацией следует обращаться на сайт <http://www.analog.com/microconverter>

**Набор инструкций 8052**

Ниже приводится набор команд устройства и число машинных циклов, затрачиваемое на выполнение каждой команды. Для выполнения большинства команд требуется один или, в крайнем случае, два цикла, что дает пиковую производительность 16MIPs при состоянии делителя PLLCON=00H.

**Работа таймера**

Таймеры стандартного ядра 8052 в каждом машинном цикле инкрементируются один раз. Для ADuC842 один машинный цикл равен периоду основной частоты синхронизации ядра, следовательно, таймеры будут инкрементироваться с частотой синхронизации ядра.

**ALE**

В кристалле ADuC832 сигнал ALE появляется на

выходе с частотой, равной 1/6 рабочей частоты ядра. В кристалле ADuC842 генерация сигнала ALE происходит следующим образом.

Для одноцикловых команд сигнал ALE находится в высоком логическом состоянии в течение первой половины машинного цикла и в низком в течение второй половины цикла.

Для остальных команд сигнал ALE находится в высоком логическом состоянии в течение первой половины первого машинного цикла и в низком в течение оставшейся части цикла.

**Доступ к внешней памяти**

ADuC842 не поддерживает доступ к внешней памяти программ. При доступе к внешней памяти данных (RAM), очевидно, придется запрограммировать регистр EWAIT для того, чтобы появились дополнительные машинные циклы ожидания для выполнения команд MOVX. Это необходимо сделать для того, чтобы учесть разницу в скоростях обращения к внутренней и внешней RAM.

**Генерация переменной частоты последовательного обмена**

В сложном делителе ADuC842 имеется дополнительный делитель на два. Это означает, что для получения той же самой скорости обмена в ADuC842 частоту, рассчитанную для T3CON ADuC832, следует инкрементировать один раз.

## СИСТЕМА КОМАНД

Мнемоника	Описание	Число байтов	Число циклов
<b>Арифметические</b>			
ADD A, Rn	Прибавить содержимое регистра к A	1	1
ADD A, @Ri	Прибавить к содержимому A косвенно из памяти	1	2
ADDC A, Rn	Прибавить содержимое регистра к A с переносом	1	1
ADDC A, @Ri	Прибавить к содержимому A косвенно из памяти с переносом	1	2
ADD A, dir	Прибавить к содержимому A байт прямо	2	2
ADDC A, #data	Прибавить к содержимому A байт непосредственно с переносом	2	2
SUBB A, Rn	Вычесть содержимое регистра из A с заемом	1	1
SUBB A, @Ri	Вычесть из A содержимое памяти косвенно с заемом	1	2
SUBB A, dir	Вычесть из A прямо с заемом	2	2
SUBB A, #data	Вычесть из A непосредственно с заемом	1	1
INC A	Инкрементировать A	1	1
INC Rn	Инкрементировать регистр	1	1
INC @Ri	Инкрементировать память косвенно	1	2
INC dir	Инкрементировать байт прямо	2	2
INC DPTR	Инкрементировать указатель данных	1	3
DEC A	Декрементировать A	1	1
DEC Rn	Декрементировать регистр	1	1
DEC @Ri	Декрементировать память косвенно	1	2
DEC dir	Декрементировать байт прямо	2	2
MUL AB	Умножить A на B	1	9
DIV AB	Разделить A на B	1	9
DA A	Выполнить десятичную коррекцию A	1	2
<b>Логические</b>			
ANL A,Rn	Логическое И регистра с A	1	1
ANL A,@Ri	Логическое И памяти с A косвенно	1	2
ANL A,dir	Логическое И байта с A	2	2
ANL A,#data	Логическое И непосредственно с A	2	2
ANL dir,A	Логическое И A с байтом	2	2
ANL dir,#data	Логическое И числа с байтом непосредственно	3	3
ORL A,Rn	Логическое ИЛИ регистра с A	1	1
ORL A,@Ri	Логическое ИЛИ памяти с A косвенно	1	2
ORL A,dir	Логическое ИЛИ байта с A	2	2
ORL A,#data	Логическое ИЛИ непосредственно с A	2	2
ORL dir,A	Логическое ИЛИ A с байтом	2	2
ORL dir,#data	Логическое ИЛИ числа с байтом непосредственно	3	3
XRL A,Rn	Исключающее ИЛИ регистра с A	1	1
XRL A,@Ri	Исключающее ИЛИ памяти с A косвенно	2	2
XRL A,dir	Исключающее ИЛИ байта с A	2	2
XRL A,#data	Исключающее ИЛИ непосредственно с A	2	2
XRL dir,A	Исключающее ИЛИ A с байтом	2	2
XRL dir,#data	Исключающее ИЛИ числа с байтом непосредственно	3	3
CLR A	Очистить A	1	1
CPL A	Инvertировать A	1	1
SWAP A	Переставить местами Нибблы в A	1	1
RL A	Сдвинуть влево A	1	1
RLC A	Сдвинуть влево A через C	1	1
RR A	Сдвинуть вправо A	1	1
RRC A	Сдвинуть вправо A через C	1	1
<b>Передача данных</b>			
MOV A,Rn	Передать данные из регистра в A	1	1
MOV A,@Ri	Передать данные из памяти в A косвенно	1	2
MOV Rn,A	Передать данные из A в регистр	1	1
MOV @Ri,A	Передать данные из A в память косвенно	1	2
MOV A,dir	Передать байт в A	2	2
MOV A,#data	Передать число в A непосредственно	2	2
MOV Rn,#data	Передать число в регистр непосредственно	2	2
MOV dir,A	Передать данные из A в ячейку	2	2

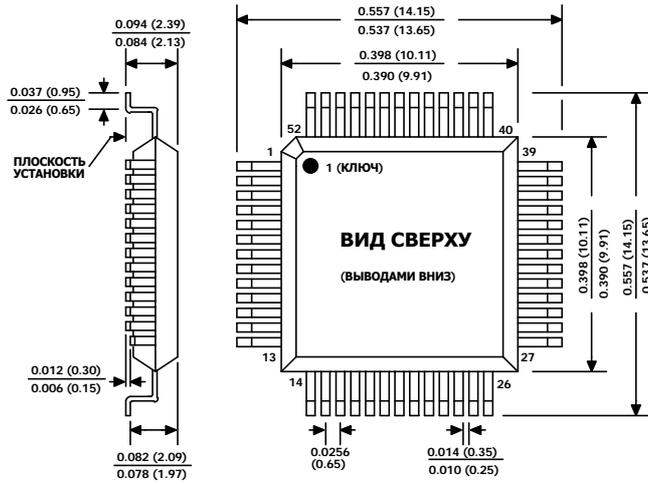
<b>ADuC842</b>	<b>ПРЕДВАРИТЕЛЬНЫЕ ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ</b>
----------------	---

MOV @Ri,#data	Передать число в память косвенно	2	2
MOV dir,dir	Передать байт в память	3	3
MOV dir,#data	Передать байт непосредственно в память	3	3
MOV DPTR,#data	Загрузить указатель данных числом	3	3
MOVC A,@A+DPTR	Загрузить в A байт данных относительно DPTR	1	4
MOVC A,@A+PC	Загрузить в A байт данных относительно PC	1	4
MOVX A,@Ri	Передать данные из внешней памяти (A8) в A	1	4
MOVX A,@DPTR	Передать данные из внешней памяти (A16) в A	1	4
MOVX @Ri,A	Передать данные из A во внешнюю память (A8)	1	4
MOVX @DPTR,A	Передать данные из A во внешнюю память (A16)	1	4
PUSH dir	Послать байт в стек	2	2
POP dir	Принять байт из стека	2	2
XCH A,Rn	Выполнить обмен данными между регистром и A	1	1
XCH A,@Ri	Выполнить обмен данными между памятью и A косвенно	1	2
XCHD A,@Ri	Выполнить обмен данными между нибблом памяти и A косвенно	1	2
XCH A,dir	Выполнить обмен данными между байтом и A	2	2
<b>Булевские</b>			
CLR C	Очистить C	1	1
CLR bit	Очистить bit непосредственно	2	2
SETB C	Установить C	1	1
SETB bit	Установить bit непосредственно	2	2
CPL C	Инвертировать C	1	1
CPL bit	Инвертировать bit	2	2
ANL C,bit	Логическое И bit и C	2	2
ANL C,/bit	Логическое И инверсии bit-а и C	2	2
ORL C,bit	Логическое ИЛИ bit и C	2	2
ORL C,/bit	Логическое ИЛИ инверсии bit-а и C	2	2
MOV C,bit	Передать bit в C	2	2
MOV bit,C	Передать C в bit	2	2
<b>Операции ветвления</b>			
JUMP @A,DPTR	Косвенный переход относительно DPTR	1	3
RET	Возврат из подпрограммы	1	4
RETI	Возврат из прерывания	1	4
ACALL addr11l	Абсолютный переход на подпрограмму	2	3
AJMP addr11	Абсолютный безусловный переход	2	3
SJMP rel	Короткий переход (по абсолютному адресу)	2	3
JC rel	Переход, если C=1	2	3
JNC rel	Переход, если C=0	2	3
JZ rel	Переход, если аккумулятор=0	2	3
JNZ rel	Переход, если аккумулятор#0	2	3
DJNZ Rn,rel	Декремент регистра и переход, если аккумулятор#0	2	3
LJMP	Длинный переход безусловный	3	4
LCALL addr16	Длинный переход на подпрограмму	3	4
JB bit,rel	Переход, если bit=1	3	4
JNB bit,rel	Переход, если bit=0	3	4
JBC bit,rel	Переход, если bit=1 и очистка	3	4
CJNE A,dir,rel	Сравнение с A и относительный JNE	3	4
CJNE A,#data,rel	Сравнение с A и относительный JNE	3	4
CJNE Rn,#data,rel	Сравнение с регистром и относительный JNE	3	4
CJNE @Ri,#data,rel	Сравнение с регистром косвенное и относительный JNE	3	4
DJNZ dir,rel	Декремент байт и относительный JNZ	3	4
<b>Прочие</b>			
NOP	Нет операции	1	1

**Примечание:**

1. Один цикл занимает один период тактовой частоты.
2. Команды MOVX занимают 4 цикла, когда интервал ожидания равен 0. Команды MOVX занимают 4+n циклов, когда интервал ожидания равен n периодам.
3. Команды LCALL занимают 3 цикла, когда LCALL выполняется из прерывания.

Пластмассовый плоский квадратный корпус с 52-м выводами (S-52) Размеры в дюймах и (мм)



Миниатюрный корпус с 56-ю выводами (CP-56)

