ADSP-2106x: Использование SPORTs как дополнительные таймеры

Устройства ADSP-21060/2/1 включают в себя внутренний таймер. Одного таймера может быть достаточно для большинства задач цифровой обработки сигнала, но не всегда. Если требуются дополнительные таймеры, неиспользуемые последовательные порты (SPORTs) могут их реализовать.

Изделия SHARC включают в себя два устройства последовательного порта. Так как модули передачи и приема обоих портов имеют отдельные и независимые генераторы скорости передачи двоичных данных, то может быть реализовано до четырех дополнительных таймеров. Два 16-разрядных регистра, `xCLKDIV` и `xFSDIV` управляют периодом таймера. Следующее уравнение используется для расчета интенсивности прерывания `ir`:

$$ir = \frac{fCLKIN}{(xCLKDIV + 1) \cdot (xFSDIV + 1)}$$

Следует заметить, что значение `xFSDIV` не должно быть меньше `SLEN`, которое управляет длиной последовательного слова (равного `SLEN+1`) от 3 до 32 разрадов. Если `fCLKIN` = 50 МГц, максимальный период без операций ПДП составляет 85 секунд. Следующий пример показывает инициализацию канала приема SPORT1:

Инициализация RX1 для операции таймера

```
setup_rx1:

      bit set MODE1 IRPTEN;          /* разрешение глобальных прерываний */
      bit set IMASK SPR1I;           /* разрешение прерывания по приему SPORT1 */

      r0 = 0x1FFF0000;               /* 0x2000 циклов */
      dm(RDIV1) = r0;

      r0 = 0x00006431;               /* разрешить, 4 бита, RFS и RCLK */
      dm(SRCTL1) = r0;               /* внутренние, начальный RFS */
```

Последовательность инициализации канала передачи отличается только битом `DITFS` для независимой передачи данных:

Инициализация TX1 для операции таймера

```
setup_tx1:

      bit set MODE1 IRPTEN;          /* разрешение глобальных прерываний */
      bit set IMASK SPR1I;           /* разрешение прерывания по приему SPORT1 */

      r0 = 0x1FFF0000;               /* 0x2000 циклов */
      dm(TDIV1) = r0;

      r0 = 0x0000E431;               /* DITFS = 1 , разрешить, 4 бита, RFS и */
      dm(STCTL1) = r0;               /* RCLK внутренние, начальный RFS */
```

Конечно, поледовательные порты были спроектированы для межпроцессорной связи. При инициализации, SPORTs активизируют соответствующий вывод. Для избежания использования внешних связующих элементов, последовательные порты должны быть сконфигурированы для полностью внутренних операций, тогда все выводы, исключая `Rx` работают как выходы. `Rx` имеет внутренний нагрузочный резистор 50Ω и может быть тоже открытым. Сигналы кадровой синхронизации показывают переполнение таймера. Бит `LxFS` контролирует полярность сигнала, в то время как ширина импульса зависит от `LAFS`, `SLEN` и `xCLKDIV`.