

РАСПРЕДЕЛЕННАЯ АРИФМЕТИКА И МУЛЬТИПЛЕКСИРОВАНИЕ В ЦИФРОВОМ ФИЛЬТРЕ ВТОРОГО ПОРЯДКА С ОПИСАНИЕМ В ПРОСТРАНСТВЕ СОСТОЯНИЙ

Мингазин А.Т.

РАДИС ЛТД.

Россия, 107005, Москва, ул. Радио, 12/2,
тел. 535-04-73, факс. 267-45-39, e-mail: alexmin@orc.ru

Реферат. Предложены две новые реализации цифрового фильтра второго порядка на основе описания в пространстве состояний, в которых используется распределенная арифметика и мультиплексирование. Каждая реализация содержит только один аккумулятор.

В цифровых фильтрах на основе описания в пространстве состояний (ПС) можно устранить колебания переполнения при любых значениях полюсов передаточной функции и одновременно получить низкую коэффициентную чувствительность и оптимальные шумовые характеристики [1]. Использование параллельных или каскадных форм на базе ПС-звеньев второго порядка позволяет уменьшить общее количество умножителей в структуре фильтра. Однако ПС-звено содержит девять умножителей вместо пяти, требующихся в звене прямой формы. Упростить аппаратную реализацию ПС-звена можно путем использования распределенной арифметики. Уайт [2,3] предложил соответствующую реализацию, в которой имеются три аккумулятора и одно ПЗУ. В данном сообщении предложены две другие реализации, включающие только один аккумулятор и одно ПЗУ. Эффект достигается благодаря мультиплексированию.

ПС-звено описывается следующей системой разностных уравнений

$$\begin{aligned} x'_{n+1} &= a_1 x'_n + a_2 x''_n + b_1 u_n \\ x''_{n+1} &= a_3 x'_n + a_4 x''_n + b_2 u_n \\ y_n &= c_1 x'_n + c_2 x''_n + d u_n, \end{aligned} \quad (1)$$

где u_n и y_n - входная и выходная переменные, x'_n, x''_n - переменные состояния, a_j, b_j, c_j, d - коэффициенты.

Соответствующая структура звена приведена на рис.1а. Здесь блок А означает аккумулятор, а блок Z^{-1} - элемент задержки.

Как видно, необходимо выполнить три суммы произведений. При реализации этого звена с распределенной арифметикой требуется три ПЗУ с организацией 8 слов по В бит и три В-разрядных аккумулятора. Для простоты здесь, как и в [2,3], принято, что разрядности переменных, ПЗУ и аккумулятора идентичны, хотя на самом деле они могут существенно различаться [4]. Согласно (1) все суммы произведений выполняются для одних и тех же переменных, поэтому вместо трех ПЗУ можно использовать одно, но с организацией 8 слов по 3В бит [2,3], как показано на рис.1б. Введение дополнительных логических схем позволяет сократить количество слов в ПЗУ до 4 [3]. Из-за поразрядной обработки для вычисления одного выходного отсчета требуется В тактов. Обработка сразу нескольких бит увеличивает быстродействие, но приводит к росту объема ПЗУ или к увеличению количества ПЗУ и необходимости использования дополнительных сумматоров [2,3].

Рассмотрим теперь уравнение вида

$$v_k = \beta_{0,k} w_k + \sum_{i=1}^5 \beta_{i,k} v_{k-i}. \quad (2)$$

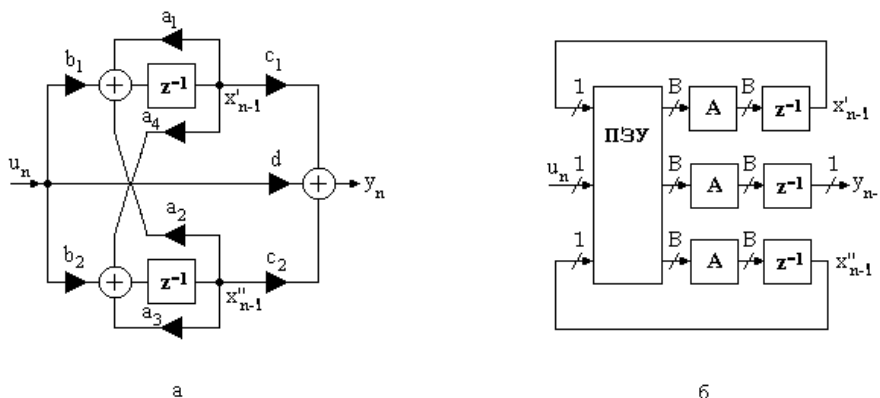


Рис. 1 Структура ПС-звена а) и его реализация с распределенной арифметикой [2,3] б).

Пусть периодически изменяемые коэффициенты $\beta_{i,k}$, $i=0..5, k=0,1,2,\dots$ связаны с коэффициентами системы (1) согласно табл.1, причем $\beta_{i,k+3} = \beta_{i,k}$, а $w_k = u_n$ при $k=0,1,2$,

Таблица 1.

k	$\beta_{0,k}$	$\beta_{1,k}$	$\beta_{2,k}$	$\beta_{3,k}$	$\beta_{4,k}$	$\beta_{5,k}$
0	b_1	0	a_1	a_2	0	0
1	b_2	0	0	a_3	a_4	0
2	d	0	0	0	c_1	c_2

$w_k = u_{n+1}$ при $k=3,4,5$ и т.д., тогда переменные уравнения (2) будут связаны с переменными системы (1) согласно табл.2. Эту таблицу легко продолжить для $k>3$.

Таблица 2.

k	w_k	v_{k-1}	v_{k-2}	v_{k-3}	v_{k-4}	v_{k-5}
0	u_n	y_{n-1}	x'_n	x''_n	y_{n-2}	x'_{n-1}
1	u_n	x''_{n+1}	y_{n-1}	x'_n	x''_n	y_{n-2}
2	u_n	x'_{n+1}	x''_{n+1}	y_{n-1}	x'_n	x''_n
3	u_{n+1}	y_n	x'_{n+1}	x''_{n+1}	y_{n-1}	x'_n

Из табл.2 следует, что $v_{k-1} = y_{n-1}$ при $k=0$, $v_{k-1} = y_n$ при $k=3$ и т.д. Поэтому для реализации системы (1), может быть использовано уравнение (2), которое по существу описывает мультиплексное исполнение рассматриваемого звена.

ПС-звено с распределенной арифметикой, соответствующее уравнению (2), представлено на рис.2а. В нем используется одно ПЗУ с организацией 128 слов по В бит и один аккумулятор, а не три как на рис.1б. Два недействующих адреса ПЗУ необходимы для поочередного выбора областей памяти, соответствующих одному из трех наборов коэффициентов табл.1. Другой вариант реализации ПС-звена приведен на рис.2б. За счет введения двух коммутаторов требуется ПЗУ с организацией 32 слова по В бит. Заметим, что использование дополнительных логических схем [3] в реализациях на рис.2а,б позволяет сократить количество слов в ПЗУ в два раза. Из-за мультиплексирования предлагаемые реализации ПС-звена уступают в быстродействии реализации на рис.1б (в три раза) и требуют некоторого усложнения устройства синхронизации.

ПС-звенья с распределенной арифметикой, приведенные здесь и в [2,3], отличаются объемом, количеством и организацией ПЗУ, количеством аккумуляторов, элементов задержки и дополнительных сумматоров, сложностью устройств синхронизации и быстродействием. Выбор того или иного построения звена будет определяться используемой элементной базой, требованиями к конкретному проекту и более детальной проработкой функциональных и принципиальных схем. Предложенные реализации ПС-звеньев дают дополнительные степени свободы при проектировании цифровых фильтров с распределенной арифметикой на основе заказных СБИС.

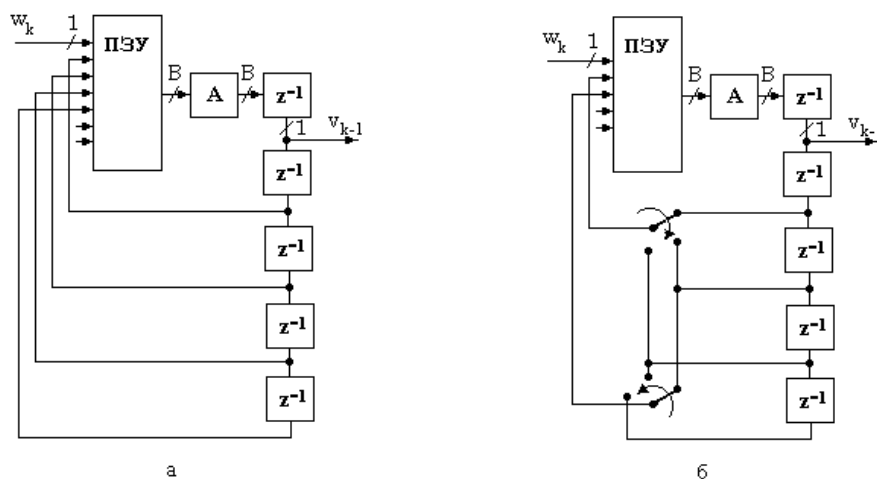


Рис.2 ПС-звенья с распределенной арифметикой: а) без коммутаторов и б) с коммутаторами.

Литература

1. Barnes C.W. A parametric approach to the realization of second-order digital filter sections// IEEE Trans. 1985. CAS-32. № 6. P. 530-539.
2. White S.A. High-speed distributed-arithmetic realization of a second-order normal-form digital filter// IEEE Trans. 1986. CAS-33. № 10. P. 1036-1038.
3. White S.A. Applications of distributed arithmetic to digital signal processing: A tutorial review// IEEE ASSP Magazine. 1989. July. P. 4-19.
4. Мингазин А.Т. Вопросы аппаратурной реализации цифровых фильтров без операции явного умножения// Радиотехника. 1981. Т.36. № 4. С. 49-51.



DISTRIBUTED ARITHMETIC AND MULTIPLEXING IN A SECOND-ORDER STATE-SPACE DIGITAL FILTER

Mingazin A.T.

RADIS Ltd
Radio, 12/2, 107005, Moscow, Russia,
Tel. 535-04-73, Fax. 267-45-39, e-mail: alexmin@orc.ru

Abstract. Two new realizations of a second-order state-space digital filter using distributed arithmetic and multiplexing are proposed. Each realization contains only one accumulator.

In state-space digital filters it is possible to eliminate overflow oscillations for any pole locations of a transfer function and simultaneously to achieve low coefficient sensitivity and optimum roundoff noise behaviors [1]. The use of parallel or cascade forms on the base of second-order state-space sections permits to reduce the number of multipliers. However, the state-space section contains nine multipliers instead of five that are required for a direct form section. A hardware realization of the state-space sections can be simplified by use of a distributed arithmetic. White [2,3] has offered the appropriate realization that contains three accumulators and one ROM. In the given paper two other realizations, including only one accumulator and one ROM, are presented. The effect is received by multiplexing.

The state-space section is described by the following difference equation system

$$\begin{aligned} x'_{n+1} &= a_1 x'_n + a_2 x''_n + b_1 u_n \\ x''_{n+1} &= a_3 x'_n + a_4 x''_n + b_2 u_n \\ y_n &= c_1 x'_n + c_2 x''_n + d u_n, \end{aligned} \quad (1)$$

where u_n and y_n are the input and output variables, x'_n and x''_n are the state variables, a_j, b_j, c_j and d - coefficients.

The appropriate structure of the section is indicated on fig.1a. Here the block A is the accumulator and block z^{-1} is the delay element.

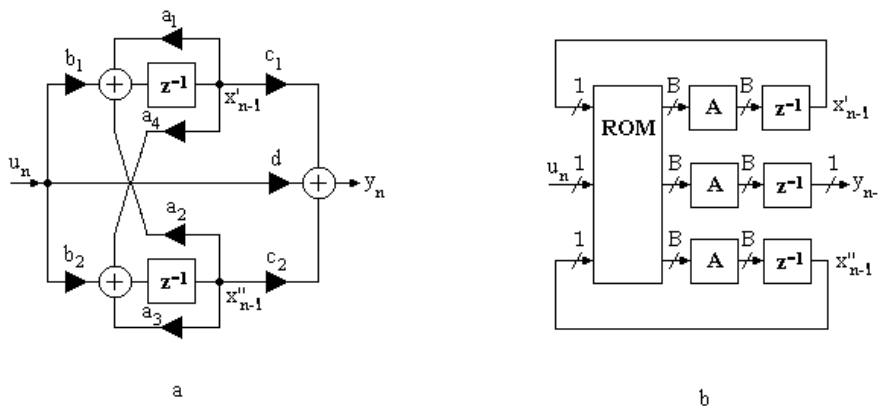


Fig.1. Structure of state-space section a) and its distributed arithmetic realization [2,3] b).

As can be seen it is necessary to execute three sums of products. The realization of this section with distributed arithmetic requires three ROM's organized as 8 words on B bits in each and three B-bit accumulators. Here for simplicity as well as in [2,3] it is accepted that wordlengths of the variables, ROM and accumulator are identical, though actually they can be essentially distinguished [4]. According to (1) all sums of products are executed for same

variables, therefore instead of three ROM's it is possible to use the one, but with organization of 8 words on 3B bits [2,3], as shown in Fig.1b. The introduction of the additional logic circuits permits to reduce the number of words in ROM up to 4 [3]. Because of bit- by-bit processing for calculation of one output sample it is required B clock periods. The processing of several bits at a time increases the speed but results to the growth of the ROM size or to increase the number of ROM's and necessity of use of additional adders [2,3].

We shall consider now an equation

$$v_k = \beta_{0,k} w_k + \sum_{i=1}^5 \beta_{i,k} v_{k-i}. \quad (2)$$

Let the periodically varied coefficients $\beta_{i,k}$, $i=0...5$, $k=0,1,2,...$ are connected to coefficients of the system (1) according to Table 1 and $\beta_{i,k+3} = \beta_{i,k}$, and $w_k = u_n$ at $k=0, 1$ and 2 , $w_k = u_{n+1}$

Table 1

k	$\beta_{0,k}$	$\beta_{1,k}$	$\beta_{2,k}$	$\beta_{3,k}$	$\beta_{4,k}$	$\beta_{5,k}$
0	b_1	0	a_1	a_2	0	0
1	b_2	0	0	a_3	a_4	0
2	d	0	0	0	c_1	c_2

at $k=3, 4$ and 5 , etc., then the variables of the equation (2) and system (1) will be connected according to Table 2. This table easily to continue for $k>3$.

Table 2

k	w_k	v_{k-1}	v_{k-2}	v_{k-3}	v_{k-4}	v_{k-5}
0	u_n	y_{n-1}	x'_n	x''_n	y_{n-2}	x'_{n-1}
1	u_n	x''_{n+1}	y_{n-1}	x'_n	x''_n	y_{n-2}
2	u_n	x'_{n+1}	x''_{n+1}	y_{n-1}	x'_n	x''_n
3	u_{n+1}	y_n	x'_{n+1}	x''_{n+1}	y_{n-1}	x'_n

From Table 2 follows, that $v_{k-1} = y_{n-1}$ at $k=0$, $v_{k-1} = y_n$ at $k=3$, etc. Therefore the equation (2) can be used for realization of the system (1). The equation (2) in essence describes a multiplex implementation of the considered section.

The distributed arithmetic state-space section appropriate to the equation (2) is shown on Fig.2a. It uses one ROM organized as 128 words on B bit and one accumulator instead of three as on Fig. 1b. Two uninvolved address of ROM are necessary for periodical choice of memory contents, appropriate to one of three sets of the coefficients from Table 1. Other realization variant of the state-space section is shown on Fig. 2b. The introduction of two switches result in ROM organized as 32 words on B bit. We shall notice that use of the additional logic circuits [3] in realizations on fig. 2a,b permits to reduce the number of words in ROM in two times. Because of multiplexing the proposed realizations of the state-space section concede in speed of the realization on Fig. 1b (in three times) and require some complication of a control unit.

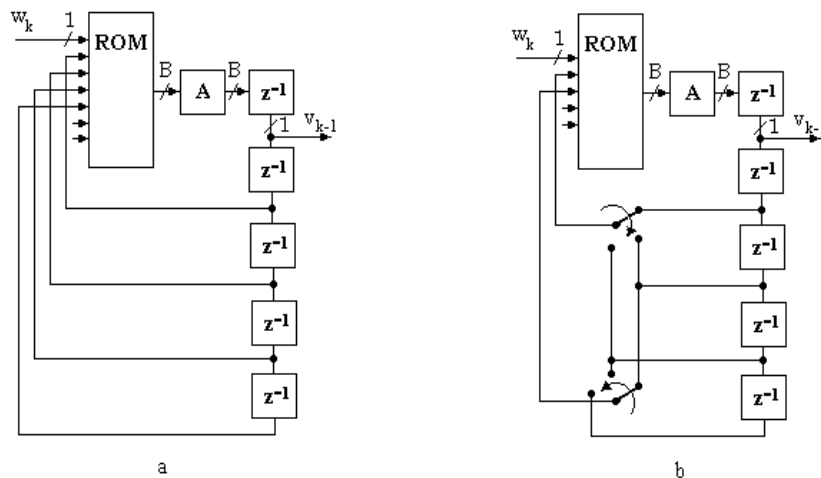


Fig.2. Distributed arithmetic state-space sections: a) without switches and b) with switches.

The distributed arithmetic state-space sections indicated here and in [2,3] differ in the memory size, number and organization of ROM's, the number of accumulators, delay elements and additional adders, complexity of a control unit and speed. The choice of that or other construction of the section will be defined by the used element base, requirements to the particular project and more detailed development of the functional and basic circuits. The proposed realizations of the state-space section give additional degrees of freedom at designing of digital filters with distributed arithmetic on the basis of custom VLSI.

References

1. Barnes C.W. A parametric approach to the realization of second-order digital filter sections// IEEE Trans.1985. CAS-32. № 6. P. 530-539.
2. White S.A. High-speed distributed-arithmetic realization of a second-order normal-form digital filter// IEEE Trans. 1986. CAS-33. № 10. P. 1036-1038.
3. White S.A. Applications of distributed arithmetic to digital signal processing: A tutorial review// IEEE ASSP Magazine. 1989. July. P. 4-19.
4. Mingazin A.T. Questions of hardware realization of digital filters without explicit multiplication// Radiotekhnika. 1981. V.34. № 4. P. 49-51.