

РЕАЛИЗАЦИЯ НА ПЛИС ЦИФРОВЫХ ДЕМОДУЛЯТОРОВ СИГНАЛОВ С ЧАСТОТНОЙ МАНИПУЛЯЦИЕЙ

Стешенко В.Б.

МГТУ им. Н.Э.Баумана, каф. СМ5
107005, Москва, 2-я Бауманская ул., д.5,
тел. (+7-095) 263 67 36, E-mail: steshenk@sm.bmstu.ru

Реферат: В работе рассматриваются особенности проектирования цифровых демодуляторов сигналов с частотной манипуляцией на ПЛИС. Предлагаются пути построения как демодуляторов, так и систем выделения синхроимпульса.

Введение

В последние два-три года у нас в стране и за рубежом резко возрос интерес к вопросу проектирования цифровых радиоприемных устройств, предназначенных для приема сигналов с частотной (ЧМн) манипуляцией. Причина такого внимания со стороны разработчиков – появление новых алгоритмов и элементной базы, позволяющей их реализовать. Цель данной работы – показать пути реализации современных алгоритмов демодуляции сигналов с ЧМн, не требующих замкнутых многопетлевых схем автоподстройки, реализация и настройка которых чрезвычайно сложна.

Алгоритмы функционирования и структурные схемы узлов демодуляторов.

При построении демодуляторов используется аналоговое формирование квадратур и цифровое восстановление символов и символьной частоты, реализованное на ПЛИС.

Ниже приведено описание каждого из блоков в составе ПЛИС: детектора ЧМн – сигнала и синхронизатора. Определены преимущества каждой из предлагаемых схем.

Детектор ЧМн - сигнала.

Данный блок предназначен для преобразования исходного модулированного радиосигнала в последовательность прямоугольных импульсов, появляющихся с частотой следования символов и обладающих той же полярностью. Частота исходного радиосигнала равна $f = f_0 - \Delta f / 2$, если передается символ “0”, и $f = f_0 + \Delta f / 2$, если передается символ “1”; при этом, по техническому заданию, $\Delta f T_c = 1$, где T_c - длительность символа (индекс модуляции единица, сигнал без разрыва фазы). Таким образом, измерение разности $(f - f_0)$ - это и есть та операция, которую должен осуществлять детектор. При наличии отсчетов квадратур исходного радиосигнала S_k и C_k , $k=0, 1, 2$ и т. д., величина $(f - f_0)_k$ может быть вычислена следующим образом:

$$(f - f_0)_k = \frac{1}{2\pi} \left[\frac{S_k C_{k-1} - C_k S_{k-1}}{S_k^2 + C_k^2} \right].$$

Отсюда вытекает структурная схема детектора, которая приведена на рис.1.

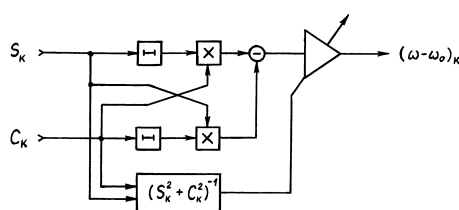


Рис.1.

Преимущества предлагаемого алгоритма демодуляции ЧМн - сигнала:

- детектор не требует точной настройки квадратурного генератора (рис.1) на частоту f_0 , что позволяет ему устойчиво функционировать при значительных (до 30%) уходах частоты входного сигнала вследствие эффекта Доплера;

- операция деления на двучлен $S_k^2 + C_k^2$ не является обязательной, если динамика входного сигнала невелика либо стабилизация амплитуды осуществляется при помощи АРУ в ВЧ – тракте;

- инвариантность алгоритма к фазе опорного и входного сигналов, а также к амплитуде входного сигнала (при наличии нормирующего множителя) увеличивает помехоустойчивость.

Синхронизатор

При достаточно больших отношениях сигнал/шум (ОСШ) на входе демодулятора (20 - 30 дБ) восстановленную последовательность символов можно снимать непосредственно с выхода детектора. Однако при снижении ОСШ (до 10 - 15 дБ) форма сигнала на выходе детектора начинает искажаться (появляются ложные перепады, смещение фронтов по времени и т. п.). Поэтому на выход детектора подключается еще один блок – синхронизатор, предназначение которого – восстановить истинную форму демодулированного радиосигнала за счет его накопления и анализа в течение N подряд идущих символов (в описанной далее версии демодулятора $N=10$). Синхронизатор реализует оптимальный (по критерию максимума правдоподобия) алгоритм оценки сигнала прямоугольной формы на фоне белого гауссовского шума. Восстановлению подлежат истинные моменты смены символов в исходном радиосигнале (тактовая синхронизация), а также истинная полярность символов.

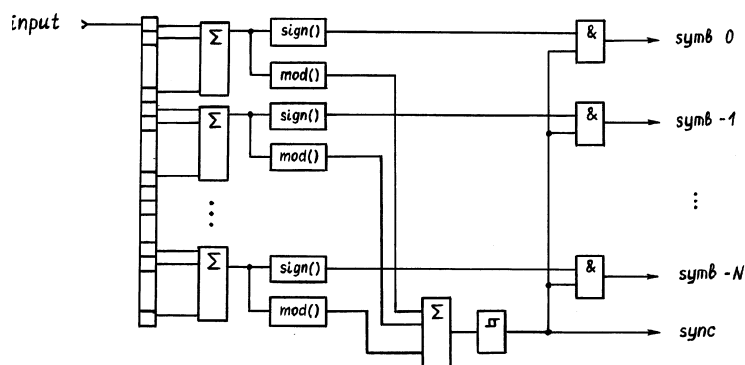


Рис.2

Главными элементами синхронизатора (рис.2) являются линия задержки на $N * M$ отсчетов (M - число отсчетов на символ), и $(N + 1)$ сумматоров, реализующих операцию накопления. Синхронизатор функционирует следующим образом: каждый отсчет входного сигнала порождает сдвиг в линии задержки, после чего вычисляются суммы каждых M подряд идущих отсчетов, определяются их модули и производится усреднение результатов по N суммам (символам). Если в какой-то момент времени каждое суммирование (по M отсчетам) будет производиться внутри одного символа, значение усредненного сигнала будет максимальным, на выходе порогового устройства (рис.3) появится синхроимпульс, и в этот же момент будут считаны знаки накопленных сумм, с высокой вероятностью совпадающие с полярностями символов.

К преимуществам предлагаемого алгоритма следует отнести:

- высокую эффективность (устойчивость к помехам, к уходу частоты следования символов от номинальной, к снижению частоты дискретизации и др.);
- способность точно восстанавливать моменты смены символов во входном сигнале при длинных (до $N - 1$ включительно) сериях “нулей” и “единиц”, причем в конце серии отсутствует переходный процесс (направленный на устранение накопленной ошибки), что характерно для аналоговых устройств;
- наличие на выходе демодулятора одновременно N подряд идущих символов, что может быть важно при корреляционной обработке потока данных (например, при поиске синхропосылок);
- простоту операций (суммирование, сдвиг) и хорошую адаптацию к реализации на базе ПЛИС, что не характерно для большинства традиционных алгоритмов, содержащих петли обратной связи (синхронизатор с запаздывающим и опережающим стробированием и др.).

Реализация алгоритмов на ПЛИС

Реализация цифровой части алгоритма демодуляции и выделения синхроимпульса была выполнена на кристалле Altera FLEX10K50. Реализованное устройство состоит из входных цифровых КИХ фильтров с 17 отводами, непосредственно блока демодуляции сигнала и блока синхронизатора.

Реализованный 17 отводный фильтр имеет симметричную характеристику. В отличие от классической реализации КИХ фильтров в виде набора умножителей для взвешивания задержанных отсчетов входного сигнала и выходного сумматора, данная реализация вообще не содержит умножителей. Все операции умножения заменены операциями распределенной арифметики, что возможно благодаря постоянству коэффициентов фильтрации и наличию в логических элементах FLEX10K [2,3,7] таблиц перекодировки (look-up-tables, LUTs).

Сигналы с выходов фильтров (восемь бит в дополнительном коде) подаются на квадратурные входы блока частотной демодуляции.

Для реализации демодулятора ЧМн сигналов понадобились два регистра для хранения значений квадратур в предыдущий (к-й) момент времени - S_k и C_k , два умножителя и один сумматор. Все вычисления в схеме производятся в дополнительном коде за исключением умножителей, операнды и выходные данные которых представлены в прямом коде со знаком, что требует предварительно преобразовывать сигналы в дополнительный код до умножения и конвертировать в дополнительный код результат умножения. Выходной сигнал демодулятора имеет разрядность равную пятнадцати битам, однако для выделения символов нужно рассматривать только старший (знаковый) разряд результата.

Входным сигналом синхронизатора является выход блока демодулятора.

Заметим, что для реализации суммирования вида $sum_i = y_k + y_{k-1} + y_{k-2} + \dots + y_{k-n+1}$ нецелесообразно использовать каскад из n двухвходовых сумматоров, так как на каждом такте результат этого суммирования может быть получен из значения суммы на предыдущем такте путем вычитания y_{k-n+1} и прибавления y_{k+1} . А именно $sum_{i+1} = sum_i + y_{k+1} - y_{k-n+1}$. Таким образом, для реализации этой части алгоритма синхронизации понадобится один регистр для хранения значения суммы на предыдущем такте и три сумматора, один из которых используется для изменения знака у значения y_{k-n+1} (так как все числа представлены в дополнительном коде). Кроме того необходимы регистры для хранения значений $y_k, y_{k-1}, \dots, y_{k-n+1}$. Если же не учитывать эти n регистров, то количество элементов для выполнения такой операции суммирования не будет зависеть от количества операндов и сэкономить ячейки ПЛИС при количестве слагаемых в сумме $n > 4$. В данном же случае количество слагаемых в каждой сумме равно количеству отсчетов сигнала приходящихся на символ, то есть $n = 8$ и эффект в увеличении скорости, а главное, в уменьшении занимаемого места, ощутим.

Выходными сигналами блока являлись как значение суммы, так и значение y_{k-n+1} , для удобства последовательного соединения таких блоков по входам, что необходимо виду того, что выходящее из одной суммы слагаемое становится слагаемым следующей суммы:

$$X_k = \ln ch (sum_i) + \ln ch (sum_{i+1}) + \dots + \ln ch (sum_{i+m-1})$$

Так как синхронизатор работает по критерию максимума правдоподобия, то схема должна выставлять синхроимпульс в момент достижения выходным сигналом X_k максимума. Для определения момента наступления локальных максимумов этот сигнал дифференцируется, и определяются моменты смены знака продифференцированного сигнала.

Результаты моделирования в системе Max+Plus II приведены на рис.3

Конструктивно прибор выполнен на четырехслойной печатной плате, с отдельными слоями земли и питания, что обеспечивает эффективную развязку рот помех по питанию.

В заключении отметим, что все узлы системы были реализованы в виде параметризованных мегафункций [3-6] с использованием языка описания аппаратуры AHDL, что позволяет с легкостью их использовать для приложений требующих другой точности вычислений.

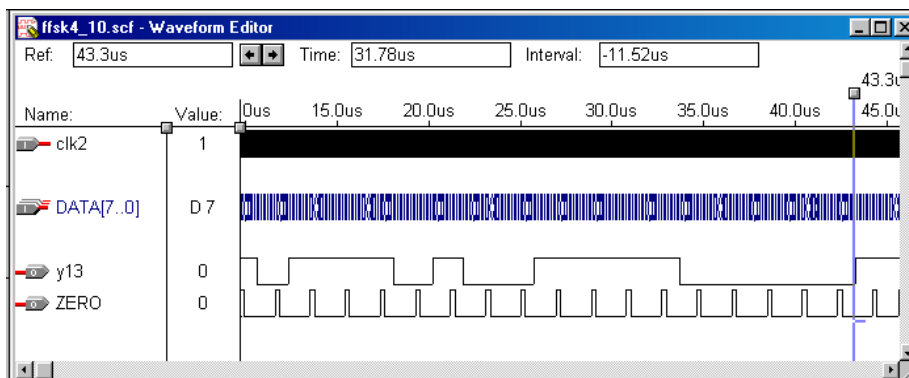


Рис.3.

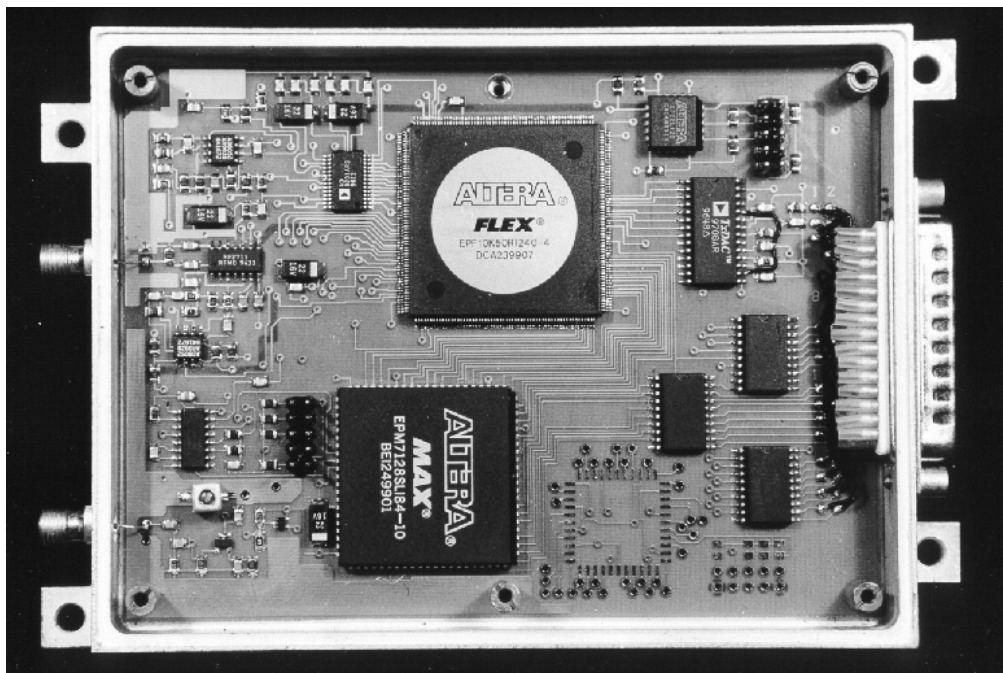


Рис.4. Фото блока демодулятора

Литература

1. С.Шипулин, Д.Губанов, В.Стешенко, В.Храпов. Тенденции развития ПЛИС и их применение для цифровой обработки сигналов // Электронные компоненты, №5, 1999, с. 42-45.
2. Губанов Д.А., Стешенко В.Б., Храпов В.Ю., Шипулин С.Н. Перспективы реализации алгоритмов цифровой фильтрации на основе ПЛИС фирмы ALTERA. // Chip News, № 9-10, 1997, с. 26–33.
3. Губанов Д.А., Стешенко В.Б. Методология реализации алгоритмов цифровой фильтрации на основе программируемых логических интегральных схем. // Сборник докладов 1-й Международной конференции “Цифровая обработка сигналов и ее применения” 30.06-3.07.1998, Москва, МЦНТИ, том 4, с. 9 – 19
4. Стешенко В.Б. Особенности проектирования аппаратуры цифровой обработки сигналов на ПЛИС с использованием языков описания аппаратуры // Сборник докладов 2-й Международной конференции “Цифровая обработка сигналов и ее применения” 21.09-24.09.1999, Москва, МЦНТИ, том 2, с. 307 – 314
5. Губанов Д.А., Стешенко В.Б., Шипулин С.Н. Современные алгоритмы ЦОС: перспективы реализации. // Электроника: наука, технология, бизнес, №1, 1999, с.54-57
6. Стешенко В.Б. Школа схемотехнического проектирования устройств обработки сигналов. // Новые компоненты и технологии, №3-5, 2000 г.
7. В.Стешенко. Школа разработки аппаратуры цифровой обработки сигналов на ПЛИС. // Chip News, 1999, №8-10, 2000, №1, 3 –5.

METHODOLOGY OF DIGITAL FREQUENCY DEMODULATOR DESIGN FOR PROGRAMMABLE LOGIC DEVICES IMPLEMENTATION

Steshenko V.B.

Department of Autonomous informational and control systems,
Bauman Moscow State Technical University
107005, Moscow, 2-nd Baumanskaya St., 5. (+7-095) 263 67 36, E-mail: steshenk@sm.bmstu.ru

Abstract: The new ways for realization frequency demodulator is presented. The new unclosed algorithm of demodulation FSK signal is presented. The perspectives of algorithms are shown.

Frequency modulation now is one of most popular types of modulation in many communication systems. There are most telemetric systems for space communications satellites used the frequency – shift-keying modulation (FSK). Also FSK used in commercial systems, such as pagers. There are several problems in FPGA implementation of FSK demodulators. The first, most algorithm use PLL, which seldom can realized on FPGA and unclosed algorithm are required. The second, supplementary task is clock frequency restoring without PLL. The fully digital implementation of demodulators is described

In report described frequency detector based on frequency estimating by Gilbert. The frequency of receiving signal is $f=f_0-\Delta f/2$ if “0” transmitting and $f=f_0+\Delta f/2$ if “1” transmitting. The product $\Delta f T = 1$, there T is symbol interval. This mean that modulation index equal 1, phase of signal is continuous. Detector estimates differences $f-f_0$ and produce decision (1 or 0).

The quadrature processing is used. Let I is an in-phase and Q is a quadrature components. The quadrature components of input signal are filtering with digital FIR filters with 32 taps. After filtration quadratures flow to demodulator. Then demodulator algorithm is

$$(f - f_0)_k = \frac{1}{2\pi} \left[\frac{S_k C_{k-1} - C_k S_{k-1}}{S_k^2 + C_k^2} \right]$$

This algorithm is implemented in ALTERA FLEX 10K50 device. For algorithm entry hardware description language AHDL are used. Most advantage of this algorithm is tolerance for Doppler frequency shift.

For clock frequency restoring used maximum-likelihood estimation of clock impulse period.

The maximum of value $X[k]$ correspond with edge of clock signal.

The $X[k]$ is given

$$X[k] = \ln(\text{ch}(y[k]+y[k-1]+\dots+y[k-n+1]) + \ln(\text{ch}(y[k-n]+y[k-n-1]+\dots+y[k-2n+1]) + \dots + \ln(\text{ch}(y[k-(m-n)n]+y[k-(m-n)n-1]+\dots+y[k-mn+1])$$

In this equation n is number of samples per symbol, m is maximum number of equal symbols in succession in word

For best FPGA realization the $\ln(\text{ch}(x))$ is approximated with $\text{abs}(x)-1$ function.

These algorithms are implemented in ALTERA FLEX 10K50 device. For the purpose of this project, the FLEX10k series FPGAs made by ALTERA were selected. These FPGAs are RAM based, and contain array of logic cells interconnected via busses and direct wires to nearest neighbors. Each cell basically consists of a look-up table (LUT) with a D flip flop on the LUT output and some extra logic to allow other functions to be programmed. This cell architecture allows implement parallel vector multiplier. For algorithms entry hardware description language AHDL are used.

Experiments are shown that demodulator can operate at SNR less than 15 dB. The demodulator board is presented in fig.4. (see russian text)

Literature

1. Spilker J. Digital Satellite Communication
2. D.Gubanov, V.Steshenko Methodology Of Digital Filters Design For Programmable Logic Devices Implementation // Proceedings DSPA'98, 30.06-3.07.1998, Moscow, ICSTI, Vol. 4-Å
3. V.Steshenko The DSP Device Implementation On FPGA Using HDL's // Proceedings DSPA'99, 22.09-24.09.1999, Moscow, ICSTI, Vol. 2