

## МУЛЬТИПРОЦЕССОРНЫЕ СИСТЕМЫ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ

Ручкин В.Н., Григоренко Д.В.

Рязанский Институт Московского государственного открытого университета  
390046, Рязань, ул. Колхозная, д. 2, тел. (0912) 77-41-48

**Реферат.** В работе на основании обобщенной модели оптимизации систем цифровой обработки сигналов рассматриваются мультипроцессорные структуры, производится классификация возможных структур цифровой обработки сигналов для заданных алгоритмов, осуществляется оценка затрат технических средств в виде количества микропроцессорных модулей, объема микропрограммной памяти, времени обработки и простоя по заданной совокупности критериев как стратегии проектирования.

Процесс оптимального проектирования систем цифровой обработки информации (ЦОС) [1] исходя из многокритериального подхода к реализации заданного класса алгоритмов преобразования цифровых сигналов в конкретных условиях сводится к минимизации вычислительных затрат на ее программно-аппаратную реализацию. Выбор аппаратных и программных средств для конкретных алгоритмов обработки сигналов осуществляется согласно методике, разработанной ранее авторами [2, 4].

На первом этапе основным вопросом при разработке устройств цифровой обработки сигналов (ЦОС) является выбор элементной базы в виде микропроцессорного набора (МПН) [3]

$$O_1 \in O : O_1^{МПН} \Rightarrow \{MK_p\}; \forall p=1, K_m; \forall l=1, L; \quad (1)$$

где  $MK = \{MK_1, MK_2, \dots, MK_m, \dots, MK_M\}$  - множество команд микропроцессора. В качестве последних могут быть использованы универсальные микропроцессоры с системой команд X86, цифровые сигнальные процессоры с оцифровкой аналоговых сигналов, программируемые логические интегральные схемы (ПЛИС), нейропроцессоры Neuro Matrix [5] и многофункциональные однокристальные компьютеры со встроенными каналами ввода и вывода ауди- и видеоинформации и внутри кристалльной памятью. Каждый из этих микропроцессоров обладает рядом достоинств и недостатков. В качестве примера рассмотрим для анализа наиболее целесообразный вариант микропроцессорного набора Neuro Matrix.

Нейропроцессоры NeuroMatrix NM6403 и NM6404 представляют собой высокопроизводительные DSP ориентированные RISC процессоры, в состав которых входят два основных блока: 32-бит RISC ядро и запатентованный 64-бит VECTOR сопроцессор для поддержки операций над векторами с элементами переменной разрядности. Причем, последний процессор NM6404 совместим по системе команд с предыдущей версией NM6403. Внутри кристалла имеются два идентичных программируемых интерфейса для работы с внешней памятью различного типа и два коммуникационных порта, аппаратно совместимых с портами ЦПС ТМ320С4х, для возможности построения мультипроцессорных систем. Нейропроцессор NM6403 работает с частотой 40 Мгц, а NM6404 – 133 Мгц. Основу обоих нейропроцессоров составляет RISC – ядро с 5-ти ступенчатым 32-бит конвейером с использованием 32- и 64-бит команды (обычно выполняется две операции в одной команде). Процессор имеет 2Мбит внутреннее ОЗУ с доступом к внутренней памяти соседа и два адресных генератора с адресным пространством 16 GB. Схема имеет два 64-бит программируемых интерфейса с SDRAM/SRAM/ DRAM /Flash ROM разделяемой памятью. При этом обеспечивается 4 одновременных доступа к внутренней памяти. Имеющиеся два коммуникационных порта осуществляют аппаратную совместимость с TMS320Сх. Кроме того, имеется JTAG – совместимый отладочный интерфейс. Система управления потребляемой мощностью стабилизирует работу всей схемы в целом. Одним из достоинств нейропроцессоров NM6403 и NM6404 является наличие встроенного VECTOR сопроцессора, который обеспечивает работу с длиной векторных операндов и результатов от 1- до 64-бит.

На втором этапе разрабатывается программа однопроцессорного варианта PR(j) посредством отображения

$$W : A(j) \Rightarrow PR(j), \quad j=1, N, \quad (2)$$

где  $PR(j) = \langle MK_1, \dots, MK_2, MK_m, \dots, MK_m \rangle$  с характеристиками  $PR(j) \Rightarrow \{|PRj|, X_m(j), T(j)\}$ ;  $|PRj|$  - длина программы как суммарное число команд в программе PRj,  $X_m(j)$  - количество повторений m-ой команды в j-ом алгоритме и  $T(j) = \sum_{m=1}^M X_m(j)t_m$ , где  $t_m$  - время работы m-ой команды.

На третьем этапе анализируются возможные структуры  $S_w$ , как отношение параллельности выполнения подпрограмм  $R_{i1}, R_{i2} : R_{i1} S_w R_{i2}$ ;  $R_{i1}, R_{i2} \in PR(j)$  одновременно на разных процессорных модулях  $i1$  и  $i2$  мультимикропроцессорной (mMPI) системы. Тогда задача исследования сводится к определению множества S

$$S_w \in S; \quad w=1, W; \quad \exists S_w : PR(j) S_w \Rightarrow \{R_i\}; \quad \forall i=1, I; \quad \forall j=1, N. \quad (3)$$

Для этого в вышеперечисленных нейропроцессорах имеется три варианта реализации многопроцессорного режима по любой из двух внешних шин. При этом арбитраж для доступа к общей памяти подключенных двух процессоров осуществляется без использования внешнего контролера. Пример конфигурации 1-го типа представлен на Рис.2 и характеризуется тем, что доступ в память (MEMORY BANK1, MEMORY BANK2) осуществляется только одним процессором NP1 или NP2 в данный момент времени.

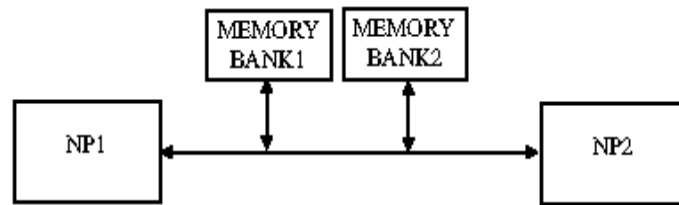


Рис.2. Конфигурация 1-го типа

Пример конфигурации 2-го типа, приведенный на Рис.3, отличается тем, что каждый процессор имеет свой банк памяти, к которому другой не имеет доступа. Банк MEMORY BANK3 является общим для NP1 и NP2, которые осуществляют к нему поочередно через буфер BUFFER1 и BUFFER2.

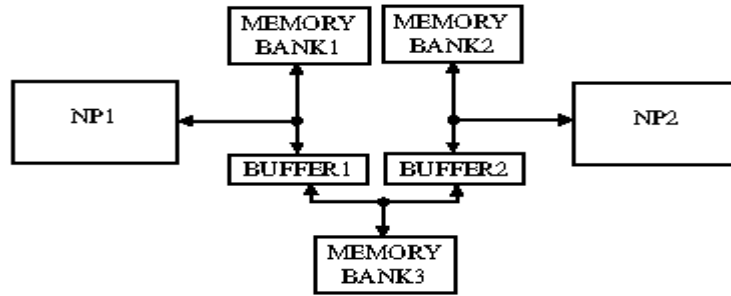


Рис. 3. Конфигурация 2-го типа.

Пример конфигурации 3-го типа (Рис.4), характеризуется тем, что каждый процессор имеет свой банк памяти и существует возможность каждому процессору обратиться к чужому банку через буфер BUFFER.

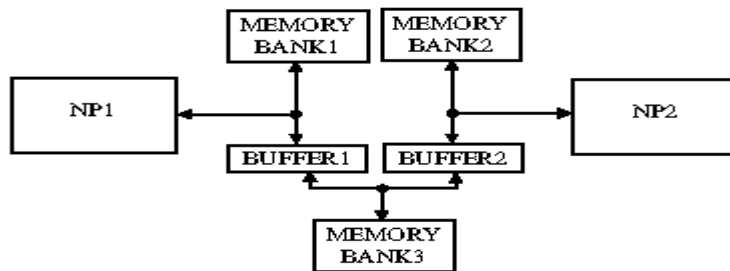


Рис. 4. Конфигурация 3-го типа.

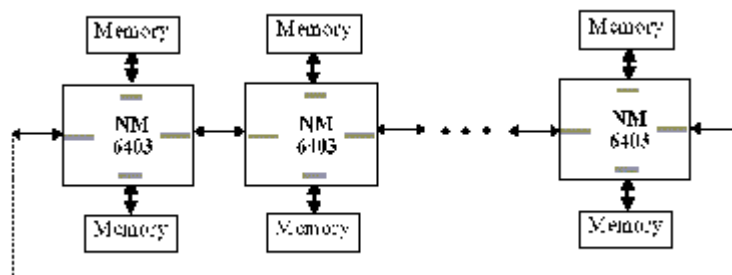


Рис. 5. Конвейерная система обработки.

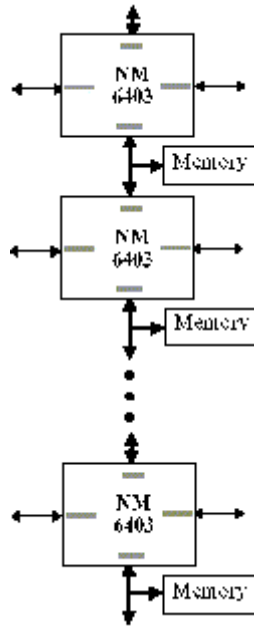


Рис.6. Векторная система обработки.

В предложенных процессорах формат данных это целые числа, упакованные в 64-бит блоки и в форме слов переменной длины от1- до 64-бит каждое. Эти схемы обеспечивают поддержку векторно-матричных и матрично-матричных операций, при этом перезагрузка матрицы коэффициентов осуществляется за 16 тактов. Сказанное позволяет реализовать конвейерную обработку, показанную на Рис. 5, векторную обработку, представленную на Рис.6 или, в общем случае конвейерно- векторную обработку(Рис.7) с учетом трех различных конфигураций соединения процессоров.

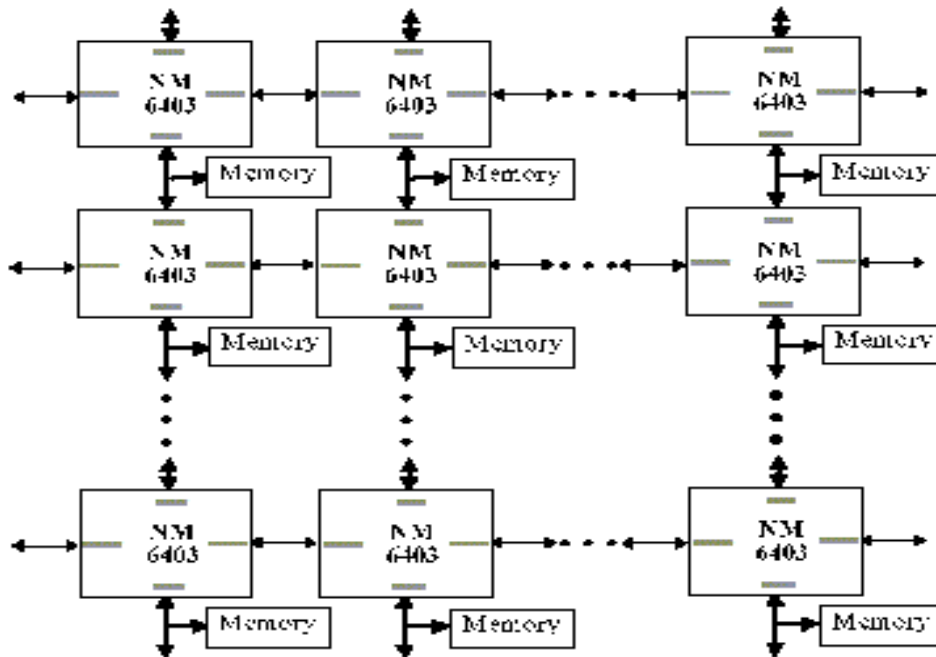


Рис.7. Конвейерно- векторная структура

Достоинствами предложенных аппаратных реализаций средств компьютерной телефонии являются: а) использование ее для широкого класса задач от систем ЦОС до обработки видеоизображений, б) возможность эмуляции нейронных сетей и осуществление векторно-матричных вычислений для реализации сложных конвейерно-векторных и векторно-ковейерных мультимикропроцессорных систем[4] в качестве элементной базы мультимикропроцессорных супер-ЭВМ.

Библиография

1. Витязев В.В. Цифровая обработка сигналов: ретроспектива и современное состояние // Электросвязь. - 1997 - №6. С. 6-9.
2. Ручкин В.Н. Проектирование и выбор специализированных средств обработки информации. М.: Московский государственный открытый университет, 1997. - 120 с. ил.
3. Головкин Б.А. Вычислительные системы с большим числом процессоров. М.: Радио и связь, 1995, 320.: ил.
4. Ручкин В.Н. Проектирование мультимикропроцессорных систем цифровой обработки сигналов// Труды DSPA—98, М.:, 1998, Т.4,
5. Виксне П.Е., Фомин Д.В., Черников В.М. Однокристалльный цифровой нейропроцессор с переменной разрядностью операндов// Известия Вузов, Приборостроение, 1996, т.39, №7



**MULTIPROCESSOR SYSTEMS OF DIGITAL PROCESSING SIGNALS**

Ruchkin V.N., Grigorenko D.V.

Ryazan Institute of the Moscow State Open University.

Work address: 390046, Ryazan, Kolkhoznaya St., 2, tel (0912) 77-41-48

**Abstract.** The multiprocessor structures are considered in this work on the base of the general model, the classification of possible structures for given signals is carried out. Also the estimation of the consumption of technical means: microprocessor modules, the volume of microprogram memory, the time of processing, the stoppage according to the given totality of criteria as a planning strategy) is carried out.

The process of optimal planning of systems of digital processing of information (DPI) [1] according to multicriterial approach to the realization of the algorithms of the given class in the definite conditions comes down to the minimization of the expenditure on its realization [2].

On the **first stage**[2] it is important to choose the elemental base - the chipset. In this way the universal microprocessors with the X86 command system, or digital signal processors, programming logical integral systems (PLIS), neuroprocessors Neuro Matrix, and multifunctional monocrystal computers with the built-in channels of input and output of audio- and video information can be used. For example we can analyze the most suitable variant of microprocessor kit Neuro Matrix [3].

Neuroprocessors Neuro Matrix NM6403 & NM6404 are the high-productive RISC processors consisting of two main parts: 32-bit "nuclear" and 64-bit VECTOR co-processor for operation support. The latter processor NM6404 can be combined with the former NM6403. Inside the crystal there are two identical interfaces for work with outer memory of the different types, and two port for communication. Neuroprocessor NM6403 works with the frequency of 40 MHz, and NM6404— 133 MHz. The base of the two neuroprocessors is the RISC – "nuclear" with the 5-stage 32-bit conveyor with the use of 32- and 64-bit commands (usually consisted of two operations in one command). The scheme has two 64-bit interfaces with SDRAM/SRAM/ DRAM /Flash ROM divided memory. There are 4 simultaneous accesses to inner memory. Besides, there is JTAG –combined mending interface. The ruling of consuming power system stabilizes the system functioning in the whole. The one of the chief merits of the NM6403 и NM6404 neuroprocessors is the VECTOR co-processor, which provides the functioning with the length of the vector operands and results from 1- to 64-bit.

On the **second stage** the program of single processor variant PR(j) by means of reflection is worked out:

$$W : A^{(j)} \quad W \Rightarrow PR^{(j)}, \quad \forall j=1,N, \quad (2)$$

On the **third stage** the possible structures  $S_w$  are analyzed as a relation of the parallelity of the carrying out sub-programs  $R_{i1}, R_{i2} : R_{i1} S_w R_{i2}; R_{i1}, R_{i2} \in PR^{(j)}$  simultaneously on the different processor modules  $i_1$  and  $i_2$  multi-microprocessor (mMP) system. Then the task of the research comes down to the definition of the **S** multitude:

$$S_w \in S; \quad w=1,W; \quad \exists S_w : PR^{(j)} \quad S_w \Rightarrow \{R_i\}; \quad \forall i=1,I; \quad \forall j=1,N. \quad (3)$$

To perform it there three variants of the realization multiprocessor duty on the any of the two outer types in the spoken neuroprocessors. With it, the arbitration for access to common memory of the two switched-in processors is carried out without the use of outer controller. The example of the configuration of the first type is characterized with the fact that the memory access (MEMORY BANK1, MEMORY BANK2) is carried by the one processor NP1 or NP2 in the given moment of time.

The example of the configuration of the second type differs from the first type, because each processor has its own memory bank which is not available for another one. MEMORY BANK3 is common for the NP1 and NP2, which carry out it in turn through the buffers BUFFER1 и BUFFER2.

The example of the third type configuration is characterized with the fact that each processor has its own memory bank, and there is a possibility for each processor to address the strange bank through the BUFFER buffer.

In the suggested processors the data consists of the whole numbers packed into 64-bit blocks in the word forms of the variable length from 1- to 64-bit each. These schemes provide support of vector-matrix and matrix-matrix operations, the reloading of the coefficient matrix is performed during 16 steps. Said above allows to realize the

conveyor processing and in common case, conveyor- vector processing with the three different configurations of the connecting processors.

The merits of the suggested means of the computer telephony are: a) the wide use of it with the settling many problems from DPS systems to the video image processing, b) the possibility of emulation of the neuron webs and carrying out the vector-matrix calculations for the realization of the complicated conveyor-vector and vector-conveyor multi microprocessor systems [4] as an elemental base of the multiprocessor super-computers.

#### REFERENCES

1. Vityazev V.V. Digital processing signals: the retrospective and contemporary condition. // Electro communication. - 1997 -№6. P. 6- 9.
2. Ruchkin V.N. Projection and choice of specialized tools of information processing. M.: the Moscow state open university, 1997.120 p.: silt.
3. Vixne P.E., Fomin D.F. Tchernikov V.M. Monocrystal digital neuroprocessor with the variable operand discharge. // High School News, Device Designing, 1996, v.39, №7