

ПРИМЕР ОБОСНОВАНИЯ СТРУКТУРЫ И РЕАЛИЗАЦИЯ НА ПЛИС ЦИФРОВЫХ ДЕМОДУЛЯТОРОВ СИГНАЛОВ

Стешенко В.Б.

МГТУ им. Н.Э.Баумана,
каф. СМ5 "Автономные информационные и управляющие системы"
107005, Москва, 2-я Бауманская ул., д.5
тел. (+7-095) 263 67 36, E-mail: steshenk@sm.bmstu.ru

Реферат: В работе рассматриваются особенности проектирования цифровых демодуляторов сигналов с частотной манипуляцией на ПЛИС. Рассмотрены вопросы выбора структуры и расчета параметров фильтров.

Введение

В последние два-три года у нас в стране и за рубежом резко возрос интерес к вопросу проектирования цифровых радиоприемных устройств, предназначенных для приема сигналов с частотной и фазовой манипуляцией. Причина такого внимания со стороны разработчиков – появление новых алгоритмов и элементной базы, позволяющей их реализовать. Цель данной работы – показать пути реализации современных алгоритмов демодуляции сигналов, не требующих замкнутых многопетлевых схем автоподстройки, реализация и настройка которых чрезвычайно сложна.

Детектор ЧМн - сигнала.

Рассмотрим детектор ЧМн - сигнала. Он предназначен для преобразования исходного модулированного радиосигнала в последовательность прямоугольных импульсов, появляющихся с частотой следования символов и обладающих той же полярностью. Частота исходного радиосигнала равна $f = f_0 - \Delta f / 2$, если передается символ «0», и $f = f_0 + \Delta f / 2$, если передается символ «1»; при этом, $\Delta f T_c = 1$, где T_c - длительность символа (индекс модуляции единица, сигнал без разрыва фазы).. Оценка частоты осуществляется с использованием следующего алгоритма

$$(f - f_0)_k = \frac{1}{2\pi} \left[\frac{S_k C_{k-1} - C_k S_{k-1}}{S_k^2 + C_k^2} \right].$$

Здесь C_k и S_k – отсчеты синфазной и квадратурной составляющих соответственно.

Следует отметить преимущества предлагаемого алгоритма демодуляции ЧМн - сигнала:

- детектор не требует точной настройки квадратурного генератора на частоту f_0 , что позволяет ему устойчиво функционировать при значительных (до 30%) уходах частоты входного сигнала вследствие эффекта Доплера;
- операция деления на двучлен $S_k^2 + C_k^2$ не является обязательной, если динамика входного сигнала невелика либо стабилизация амплитуды осуществляется при помощи АРУ в ВЧ - тракте;
- инвариантность алгоритма к фазе опорного и входного сигналов, а также к амплитуде входного сигнала (при наличии нормирующего множителя) увеличивает помехоустойчивость.

Методика расчета фильтра

Исходными данными для проектирования входных фильтров демодулятора ЧМн-сигнала являются:

- скорость передачи информации: $V = \frac{f_{\max}}{2^n}$, где $f_{\max} = 512 \text{ кБт/сек}$, $n = 0,1,\dots,5$
- индекс манипуляции: $a_m = 1$

Так как скорость передачи информации равна $V = \frac{f_{\max}}{2^n}$, и используется ЧМн-сигнал с индексом манипуляции равны единице, то длительность одного символа составляет:

$$T_c = \frac{1}{V} = \frac{2^n}{f_{\max}}$$

Учитывая, что ширина спектра ЧМн-сигнала составляет $\Delta\Omega = \frac{3}{2}\Delta\omega$, где $\Delta\omega = 2\pi V$

получаем, что полоса фильтра должна составить: $\Delta\Omega = 3\pi \frac{f_{\max}}{2^n}$

Уровень боковых лепестков в спектре такого сигнала не превышает 3% от максимума. Поэтому ширина спектра принимается равной ширине центрального лепестка, которая составляет $\frac{3}{2}\Delta\omega$ (здесь имеется ввиду одностороннее определение. Если рассматривать всю полосу, то получим величину основного лепестка равную $3\Delta\omega$). Таким образом, получаем минимальную частоту дискретизации $\omega_0 = 3\Delta\omega$ или 3 отсчета на символ (принятые выше значения частот дискретизации дают даже большее количество отсчетов на символ).

Таким образом, требуется построить фильтр с полосой $\frac{3}{2}\Delta\omega$ и хорошей прямоугольностью.

Также необходимо обеспечить минимум фазовых искажений, так как они будут влиять на принимаемые колебания. Учитывая перечисленные выше особенности принимаемого сигнала выбираем фильтр с симметричной КИХ.

Системная функция такого фильтра может быть записана в виде:

$$H(z) = \sum_{k=0}^{m-1} h_k z^{-k},$$

где h_k - коэффициенты ИХ, $i = 0, 1, \dots, m-1$, причем m – четное число большее двух и:

$$h_0 = h_{m-1}$$

$$h_1 = h_{m-2}$$

...

$$h_{\frac{m}{2}-1} = h_{\frac{m}{2}}$$

Воспользуемся методом гармонического анализа периодических функций. ЧХ проектируемого фильтра периодична с периодом $\frac{2 \cdot \pi}{T_0}$, причем этот период разбивается m точками

с индексами $0, 1, \dots, m-1$ на нечетное количество интервалов. Для упрощения анализа произведем

сдвиг ЧХ влево на половину периода, что аналогично домножению ИХ на $e^{j\left(\frac{m-1}{2}\right)\omega T_0}$. После этого ЧХ можно представить в виде:

$$H(z) = e^{j\left(\frac{m-1}{2}\right)\omega T_0} \cdot 2 \cdot \sum_{k=0}^{\frac{m}{2}-1} h_k \cos\left[\left(\frac{m-1}{2} - k\right)\omega T_0\right].$$

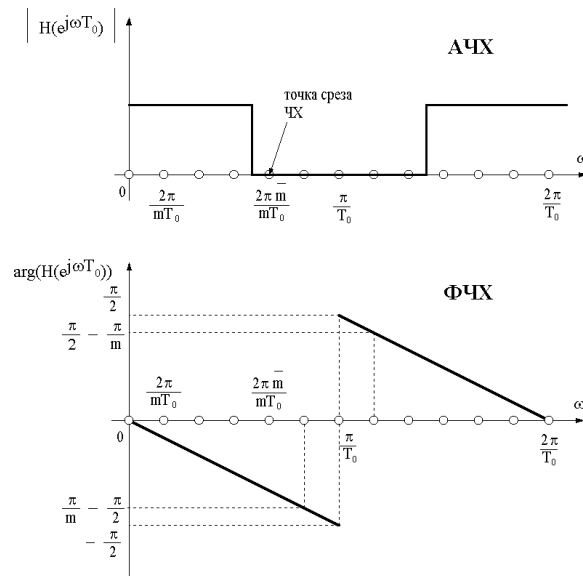


Рис. 1. АЧХ и ФЧХ проектируемого фильтра.

Для аппроксимации ЧХ воспользуемся тригонометрической интерполяцией. Зададим на периоде ЧХ $[0; \frac{2 \cdot \pi}{T_0}]$ m точек и выберем индекс \bar{m} такой, что точка с этим индексом будет задавать границу полосы пропускания фильтра (точку среза ЧХ), T_0 – интервал дискретизации (рис.1)

Таким образом, в точках с индексом $i < \bar{m}$ ЧХ отлична от нуля ($|H(e^{j\omega k T_0})| = 1$, при $0 \leq k < \bar{m}$), а для точек с индексами большими, чем \bar{m} ЧХ тождественно равна нулю ($H(e^{j\omega k T_0}) = 0$, при $\bar{m} \leq k \leq \frac{m}{2} - 1$) (рассматривается лишь половина периода ЧХ ($i \leq \frac{m}{2} - 1$), так как ЧХ является симметричной).

Легко показать, что

$$H\left(e^{j\frac{2\pi(m-k)}{mT_0}}\right) = H^*\left(e^{j\frac{2\pi k}{mT_0}}\right), \quad 0 \leq k \leq m-1$$

поэтому имеет смысл рассматривать только значения $0 \leq k \leq \frac{m}{2} - 1$.

Значения коэффициентов h_k , где $0 \leq k \leq \frac{m}{2} - 1$, определяем из решения следующей системы уравнений:

$$\sum_{n=0}^{\frac{m-1}{2}} h_n \cos\left[\frac{(2n+1)\pi k}{m}\right] = \begin{cases} (-1)^k \cdot \frac{1}{2}, & \text{если } 0 \leq k \leq \bar{m} - 1 \\ 0, & \text{если } \bar{m} \leq k \leq m - 1 \end{cases}$$

Решение данной системы имеет вид:

$$h_n = \frac{2}{m} \sum_{k=0}^{\bar{m}-1} (-1)^k \cos\left[\frac{\pi k}{m}(2n+1)\right] - \frac{1}{m}, \quad 0 \leq n \leq \frac{m}{2} - 1$$

Таким образом, ЧХ принимает следующий вид:

$$H[e^{j\omega T_0}] = e^{j\left(\frac{m-1}{2}\right)\omega T_0} \frac{1}{m} \left[\sum_{i=0}^{\bar{m}-1} \left(\frac{\sin\left(\frac{m\omega T_0}{2}\right)}{\sin\left[\frac{\omega T_0}{2} + \frac{\pi i}{m}\right]} + \frac{\sin\left(\frac{m\omega T_0}{2}\right)}{\sin\left[\frac{\omega T_0}{2} - \frac{\pi i}{m}\right]} \right) (-1)^i - \frac{\sin\left(\frac{m\omega T_0}{2}\right)}{\sin\left[\frac{\omega T_0}{2}\right]} \right]$$

Оценим величины m и \bar{m} , являющиеся определяющими параметрами для ЧХ фильтра, при которых синтезированный фильтр удовлетворяет поставленным требованиям.

Из рисунка 1 видно, что полоса фильтра может быть выражена через m и \bar{m} следующим образом:

$$\frac{(\bar{m} - 1)2\pi}{mT_0} = \Delta\Omega, \text{ откуда получаем:}$$

$$T_0 = \frac{2^n}{f_{\max}} = \frac{(\bar{m} - 1)}{3mf_{\max}} 2^{n+1}$$

Если поставить требование о том, чтобы в полосу режекции до начала следующего периода попадали бы несущая (ω_n) и удвоенная несущая ($2\omega_n$) частоты, то необходимо обеспечить выполнение следующего неравенства:

$$\frac{2\pi}{T_0} \geq 3\omega_n \text{ или } \frac{1}{T_0} \geq 3f_n, \text{ откуда получаем:}$$

$$\frac{m}{\bar{m} - 1} \geq \left[\frac{2f_n}{f_{\max}} \right] \cdot 2^n$$

Откуда при несущей частоте равной $f_n = 4\text{МГц}$ для скорости передачи 512 Кбит/сек необходимо создание фильтра, содержащего не менее 16 отводов.

Результаты моделирования показали, что в рассматриваемом случае возможно применение фильтра всего с восьмью отводами ($m = 8$) и одной точками в полосе пропускания ($\bar{m} = 2$), при этом необходимо дополнение схемы грубым сглаживающим фильтром(децимация) (рис.2). Предназначением этого фильтра является сглаживание пульсаций, вызванных неравномерностью ЧХ точного цифрового фильтра, которые возникают при уменьшении количества отводов.

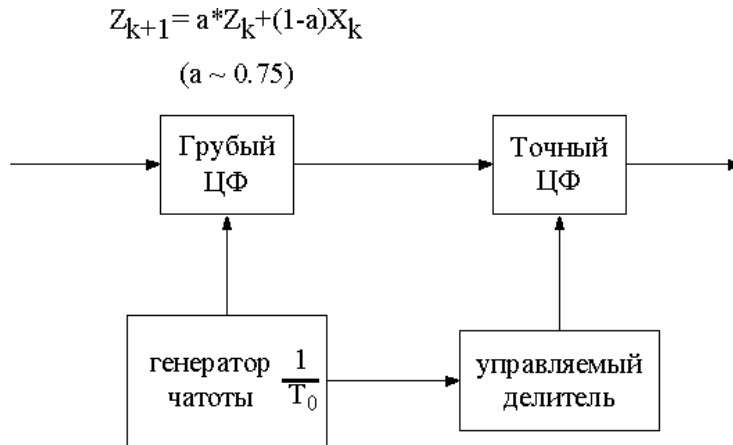


Рис. 2. Схема с грубым цифровым фильтром

В случае большого количества отсчетов на период принимаемого колебания (несколько десятков) интересным оказывается вариант фильтра с восьмью отводами ($m = 8$) и границей полосы приходящейся на первую точку ($\bar{m} = 1$). В этом случае коэффициенты усиления во всех отводах фильтра оказываются равными $h_i = h = 1/8 = 0.125$. И фильтр работает как устройство усреднения сигнала по 8 отсчетам. Привлекательность этого варианта состоит в простоте реализации, но, как было отмечено выше, он применим лишь при относительно большом количестве отсчетов, приходящихся на период принимаемого колебания. Это связано с тем, что такой фильтр выполняет линейную интерполяцию входного сигнала в течение m отсчетов, а значит он работоспособен лишь в том случае, когда изменение фазы (a) входного сигнала за этот промежуток времени невелико и действительно соотношение $\sin(a) \cong a$.

На рис.3 приведены результаты моделирования демодулятора (параметры цифрового фильтра при $m = 8, \bar{m} = 2$).

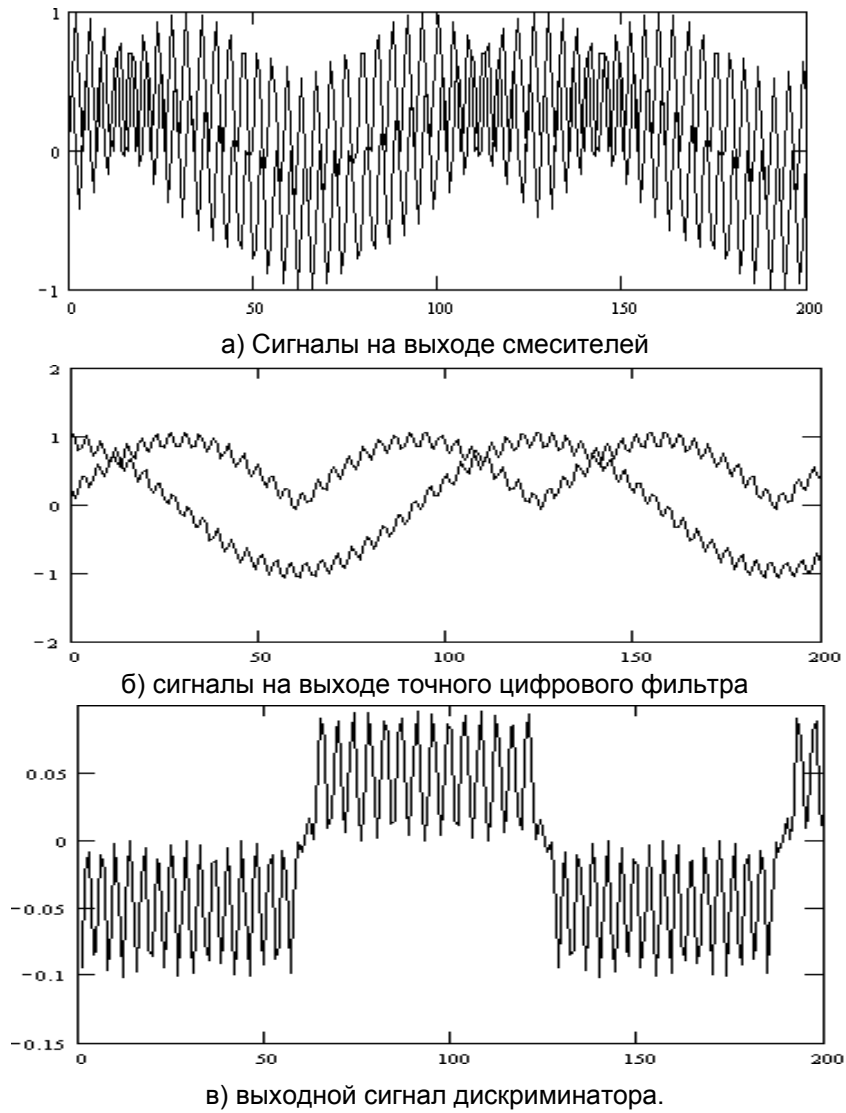


Рис.3

В заключении отметим, что все узлы системы были реализованы в виде параметризованных мегафункций [1-7] с использованием языка описания аппаратуры AHDL, что позволяет с легкостью их использовать для приложений требующих другой точности вычислений.

Литература

1. Стешенко В.Б. Реализация на ПЛИС цифровых демодуляторов сигналов с частотной манипуляцией. // Сборник докладов 3-й Международной конференции "Цифровая обработка сигналов и ее применения", Москва, 2000
2. Губанов Д.А., Стешенко В.Б., Храпов В.Ю., Шипулин С.Н. Перспективы реализации алгоритмов цифровой фильтрации на основе ПЛИС фирмы ALTERA. // Chip News, № 9-10, 1997, с. 26–33.
3. Губанов Д.А., Стешенко В.Б. Методология реализации алгоритмов цифровой фильтрации на основе программируемых логических интегральных схем. // Сборник докладов 1-й Международной конференции "Цифровая обработка сигналов и ее применения" 30.06-3.07.1998, Москва, МЦНТИ, том 4, с. 9 – 19
4. Стешенко В.Б. Особенности проектирования аппаратуры цифровой обработки сигналов на ПЛИС с использованием языков описания аппаратуры // Сборник докладов 2-й Международной конференции "Цифровая обработка сигналов и ее применения" 21.09-24.09.1999, Москва, МЦНТИ, том 2, с. 307 – 314
5. Губанов Д.А., Стешенко В.Б., Шипулин С.Н. Современные алгоритмы ЦОС: перспективы реализации. // Электроника: наука, технология, бизнес, №1, 1999, с.54-57
6. Стешенко В.Б. Школа схемотехнического проектирования устройств обработки сигналов. // Компоненты и технологии, №3-5, 2000 г.
7. В.Стешенко. Школа разработки аппаратуры цифровой обработки сигналов на ПЛИС. // Chip News, 1999, №8-10, 2000, №1, 3 –5.
8. В.Стешенко. ПЛИС фирмы ALTERA: проектирование устройств обработки сигналов -М.: «Додека», 2000



DEFINITION OF STRUCTURE OF DIGITAL DEMODULATOR AND THEY IMPLEMENTATION ON PROGRAMMABLE LOGIC DEVICES

Steshenko V.

Department "Autonomous Informational and Control Systems",
Bauman Moscow State Technical University
107005, Moscow, 2-nd Baumanskaya St., 5.
(+7-095) 263 67 36, E-mail: steshenk@sm.bmstu.ru

Abstract: The new ways for realization frequency demodulator is presented. The new unclosed algorithm of demodulation FSK signal is presented. The perspectives of algorithms are shown.

Frequency modulation now is one of most popular types of modulation in many communication systems. There are most telemetric systems for space communications satellites used the frequency – shift-keying modulation (FSK). Also FSK used in commercial systems, such as pagers. There are several problems in FPGA implementation of FSK demodulators. The first, most algorithm use PLL, which seldom can realized on FPGA and unclosed algorithm are required. The second, supplementary task is clock frequency restoring without PLL. The fully digital implementation of demodulators is described

In report described frequency detector based on frequency estimating by Gilbert. The frequency of receiving signal is $f=f_0-\Delta f/2$ if "0" transmitting and $f=f_0+\Delta f/2$ if "1" transmitting. The product $\Delta fT = 1$, there T is symbol interval. This mean that modulation index equal 1, phase of signal is continuous. Detector estimates differences $f-f_0$ and produce decision (1 or 0).

The quadrature processing is used. Let I is an in-phase and Q is a quadrature components. The quadrature components of input signal are filtering with digital FIR filters with 32 taps. After filtration the quadratures flow to demodulator. Then demodulator algorithm is

$$f-f_0=1/(2*\pi)(Q[k]I[k-1]-I[k]Q[k-1])/(\sqrt{(\text{sqr}(I[k])+\text{sqr}(Q[k]))})$$

This algorithm is implemented in ALTERA FLEX 10K50 device. For algorithm entry hardware description language AHDL are used. Most advantage of this algorithm is tolerance for Doppler frequency shift.

For clock frequency restoring used maximum-likelihood estimation of clock impulse period.

The maximum of value $X[k]$ correspond with edge of clock signal.

The $X[k]$ is given

$$X[k] = \ln(\text{ch}(y[k]+y[k-1]+\dots+y[k-n+1])) + \ln(\text{ch}(y[k-n]+y[k-n-1]+\dots+y[k-2n+1]+\dots+ \\ + \ln(\text{ch}(y[k-(m-n)n]+y[k-(m-n)n-1]+\dots+y[k-mn+1]))$$

In this equation n is number of samples per symbol, m is maximum number of equal symbols in succession in word

For best FPGA realization the $\ln(\text{ch}(x))$ is approximated with $\text{abs}(x)-1$ function.

These algorithms are implemented in ALTERA FLEX 10K50 device. For the purpose of this project, the FLEX10k series FPGAs made by ALTERA were selected. These FPGAs are RAM based, and contain array of logic cells interconnected via busses and direct wires to nearest neighbors. Each cell basically consists of a look-up table (LUT) with a D flip flop on the LUT output and some extra logic to allow other functions to be programmed. This cell architecture allows implement parallel vector multiplier. For algorithms entry hardware description language AHDL are used.

Experiments are show that demodulator can operate at SNR less than 15 dB

Literature

1. Spilker J. Digital Satellite Communication
2. D.Gubanov, V.Steshenko Methodology Of Digital Filters Design For Programmable Logic Devices Implementation // Proceedings DSPA'98, 30.06-3.07.1998, Moscow, ICSTI, Vol. 4-E
3. V.Steshenko The DSP Device Implementation On FPGA Using HDL's // Proceedings DSPA'99, 22.09-24.09.1999, Moscow, ICSTI, Vol. 2