

Белорусский государственный университет информатики и радиоэлектроники,  
ул. П.Бровки 6, Минск, Беларусь  
e-mail: [apetrows@bas-net.by](mailto:apetrows@bas-net.by)

### Введение

Системы компрессии одномерных, двумерных сигналов, в основу которых положен банк анализирующих/синтезирующих фильтров, обладают высоким коэффициентом сжатия и качеством декодированных сигналов [1]. Учитывая нестационарную и негауссовскую природу обрабатываемых сигналов (речь, аудиосигналы), возникает необходимость построения банка фильтров, который перестраивается в соответствии со свойствами входного сигнала и с учетом восприятия его человеком [1]. Реализовать банк фильтров с неравными полосами пропускания можно на основе пакета дискретного вэйвлетного преобразования (ПДВП) [2,3], которое способно достаточно гибко изменять структуру банка фильтров (см. рис.1). Критерии оптимизации, базирующиеся на энтропии (временная, перцептуальная), являются удобными для выбора эффективной структуры ПДВП в системах кодирования аудиосигналов, т.к. наиболее адекватно описывают информационные свойства представления заданного сигнала и минимизируют скорость передачи при обеспечении высокого качества восприятия человеком декодированного сигнала [4-6].

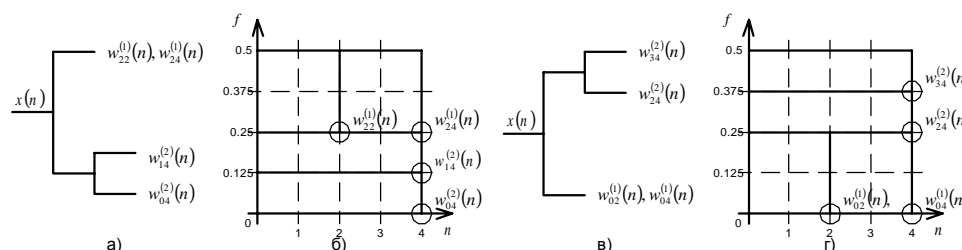


Рис. 1 Примеры структур ПДВП.

Построение адаптивной системы компрессии требует значительных вычислительных затрат. Специализированные устройства, базирующиеся на двух или более процессорах цифровой обработки сигналов (ЦПОС), занимают доминирующее положение в задачах компрессии аудиосигналов. Однако, более прогрессивным направлением, для решения проблемы в полном объеме, заключается в применении динамически перестраиваемого процессора, базирующегося на ЦПОС и программируемых логических интегральных схемах (ПЛИС) (в частности FPGA - Field Programmable Gate Arrays), как единого ядра системы [4].

### Динамически реконфигурируемая структура процессора

Предлагается динамически реконфигурируемая система для выполнения операций кодирования/декодирования аудиосигналов в реальном времени. Структура процессора состоит из двух частей: ЦПОС и реконфигурируемого процессора на ПЛИС: мониторинг работы алгоритмов кодирования/декодирования; обработка данных каждой полосы (вычисление: порогов маскирования, энтропии структуры дерева ПДВП, перцептуальной энтропии); управление структурой дерева ПДВП во время обработки (анализ/синтез), а также реконфигурируемой частью процессора; нелинейное квантование и кодирование/декодирование вэйвлетных коэффициентов возлагается на ЦПОС; вычисление адаптивного ПДВП (прямого и обратного) осуществляется с помощью реконфигурируемого процессора.

Реализация вэйвлет-фильтра высокого порядка на ПЛИС на основе распределенной арифметики становится невозможной, из-за экспоненциально возрастающего размера требуемой памяти (соответственно возрастает количество используемых логических блоков (ЛБ) в ПЛИС). Методы сокращения размера памяти за счет симметричности коэффициентов фильтра применимы при использовании биортогональных вэйвлетных функций, а коэффициенты фильтров ортогональных вэйвлетных функций

Таблица 1

| Уровни дерева АДВП | L | Размер памяти |
|--------------------|---|---------------|
| 1                  | 2 | 512 x16       |
| 2                  | 3 | 256 x16       |
| 3                  | 3 | 128 x16       |
| 4                  | 4 | 64 x16        |
| 5                  | 5 | 32 x16        |
| 6                  | 4 | 16 x16        |
| 7                  | 3 | 8 x16         |

несимметричны. Применение последовательного включения умножителя и накапливающего сумматора для построения банка вэйвлетных фильтров позволяет сократить количество требуемых ЛБ до 1.5 ЛБ на порядок фильтра. При этом сохраняется возможность обрабатывать входные потоки данных, поступающих со скоростью от 100 до 1000 кГц. Данная архитектура позволяет эффективно реализовывать банки вэйвлетных фильтров высокого порядка, например, вэйвлет-фильтров семейства Даубеши 20 порядка (40 коэффициентов).

На рис. 2 показана динамически реконфигурируемая поточная схема вычисления 8 уровневой структуры дерева адаптивного ПДВП, состоящая из 8 процессорных модулей (ПМ) и 7 модулей буферизации и переключения (МБП).

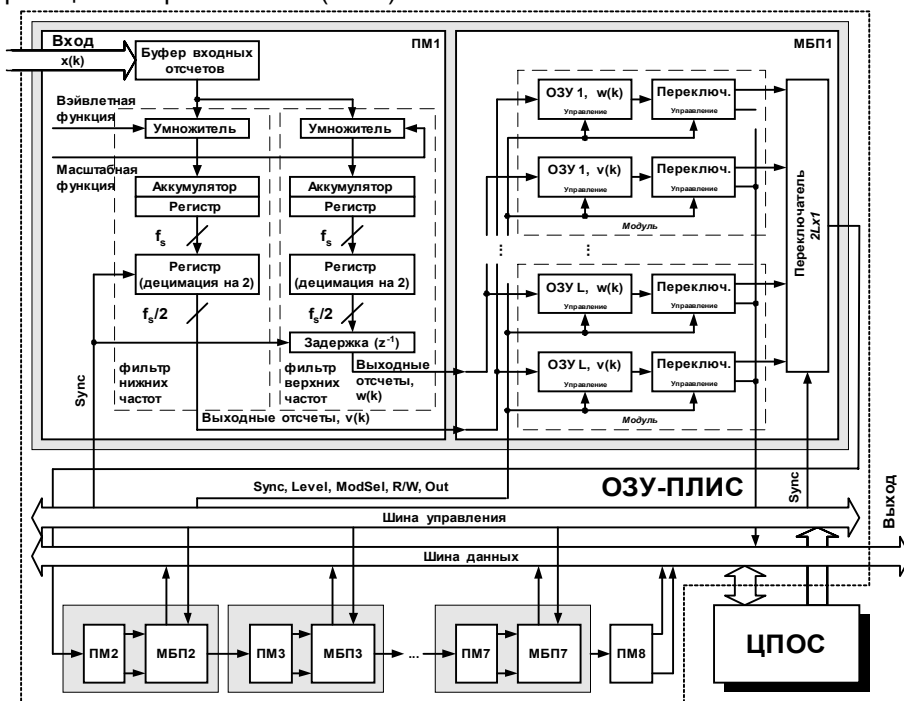


Рис. 2 Схема динамически реконфигурируемого процессора.

В каждом ПМ входные отсчёты (входной сигнал/промежуточные результаты)  $x(k)$  фильтруются вэйвлет-фильтрами нижних и верхних частот с последующей децимацией на 2. Результатом вычисления в ПМ являются две выходные последовательности отсчетов  $v(k)$  и  $w(k)$ , которые записываются в память МБП (или передаются ЦПОС). Объем и размер памяти в МБП изменяется от уровня к уровню структуры ПДВП (табл.1). Элементы памяти организованы по принципу FIFO (First Input First Output). Элемент задержки в ветви фильтра верхних частот необходим для установления синхронного чередования циклов записи и чтения. С ростом структуры дерева ПДВП (см. рис. 1) количество ветвей с каждым новым уровнем удваивается, скорость поступления данных в этих ветвях соответственно сокращается в два раза. МБП позволяют, начиная со второго уровня ПДВП, использовать один и тот же ПМ на ступени поточного процессора для обработки поочередно поступающих потоков данных, осуществлять временное хранение, передачу данных для следующей ступени процессора и обеспечение записи результатов обработки в ЦПОС.

Сигналы управления реконфигурируемой поточной схемой, формируемые ЦПОС в соответствии с ходом вычислительного процесса и критериями адаптации структуры дерева ПДВП, следующие:

1. *Sync* – сигнал синхронизации вычислительного процесса;
2. *Level* – сигнал выбора  $PMLevel$  и  $BPMLLevel$ , где  $Level=0..7$ ;
3. *ModSel* – сигнал активизации модуля, состоящего из  $n$  ОЗУ и  $n$  Переключ., где  $n=1..L$ ,  $L$  - максимальное значение элементов ОЗУ для каждого уровня (см. табл.1);
4. *R/W* – сигнал чтения/записи в/из памяти.  $R/W=0$  – чтение,  $R/W=1$  – запись;
5. *Out* – сигнал выборки результатов для квантования и дальнейшего кодирования.

Заключение

Поточный принцип построения динамически реконфигурируемой части процессора на базе ЦПОС/ПЛИС позволяет организовать параллельно-поточную обработку сразу нескольких уровней структур ПДВП, для последовательно следующих фреймов входного аудиосигнала. Временная диаграмма процесса обработки для трех входных фреймов, показанных на рис.3, где Т – интервал времени вычисления первого уровня дерева ПДВП. Смещение процесса обработки структур деревьев ПДВП друг относительно друга на 1 уровень, делает возможным кодировать только изменения структуры дерева ПДВП.

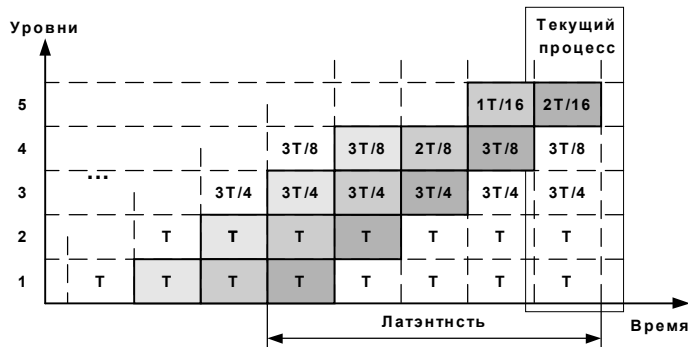
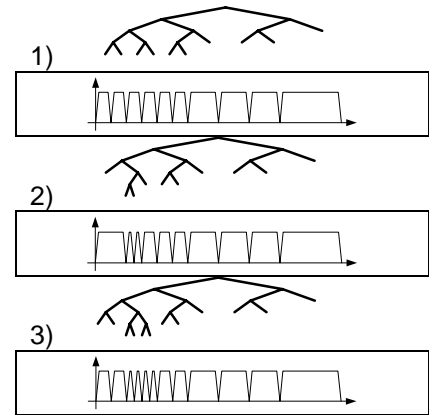


Рис. 3 Временная диаграмма процесса обработки



Литература

1. Painter T., Spanias A. Perceptual Coding of Digital Audio // Proceedings of the IEEE, April, vol. 88, № 4, 2000. – pp. 451-513.
2. Petrovsky A.I.A. Multi-DSP based hardware platform for wavelets and filter banks // Proc. of IWSSIP, June 1999, Bratislava, Slovakia, - pp. 111-114.
3. Bielawski K., Petrovsky A.I.A. Dynamic non-uniform filter bank constructing algorithms for reconfigurable speech processing system based on the FPGA-device and TMS320C31 // The 3rd European DSP education and research conference, France, 20-21 Sept. 2000. – 8p.
4. Petrovsky A.I., Perovsky A.A., Audio coding with a masking threshold adapted wavelet packet based on run-time reconfigurable processor architecture // AES 110th Convention, pre-print 5298, 12-15 May, Amsterdam, The Netherlands, 2001.
5. Petrovsky A.I. Perceptually optimized time-varying wavelet packet decomposition and its applications in acoustic signal processing // 17th ICA, 2-7 Sept. Rome, Italy, 2001. – 2p.
6. Johnston J.D., Transform coding of audio signals using perceptual noise criteria, IEEE Trans. On Select., Areas Commun., vol. 6, Feb. 1988, pp. 314-323.



Belarusian state University of Informatics and Radioelectronics  
 6, P.Brovky st., Minsk, Belarus  
 e-mail: [apetrows@bas-net.by](mailto:apetrows@bas-net.by)

**Introduction**

Compression systems based on analysis/synthesis filter bank have high compression level and quality of decoded signals. According to the nature of nonstationary signals nature, it is needed to design a filter bank, which is adapted to the input signals basing on the human perception as a adaptive wavelet packet (WP) transform.

Construction of the adaptive compression system requires a significant computation complexity. Specific devices based on one or more DSP processors occupy the major part in audio compression tasks. One of the progressive direction is implementing the systems based on the DSP and FPGA (Field Programmable Gate Arrays) combined as one system kernel.

**Dynamic reconfigurable processor structure**

Dynamic reconfigurable system structure consists of the two parts: DSP processor and reconfigurable processor based on FPGA. The function of monitoring algorithms (coding/decoding), subband processing (masking threshold, WP tree structure entropy, perceptual entropy calculation), controlling for WP tree structure changes and reconfigurable part of the processor during the process, nonlinearly quantization and coding/decoding of wavelet coefficients are realized by DSP. The adaptive WP transformations (direct and inverse) are implemented on reconfigurable part of the processor. Using consistent turning on multiplier and accumulative adder schema for WP implementation allows reducing the required number of CLB blocks to 1,5 CLB per tap and save the bit rate in the range 100-1000 kHz. Thus, the basic decomposition of WP expressed as processing unit (PU) containing low and high pass FIR filter with decimation circuit by 2. The output data of PU are two streams of samples  $v(k)$  and  $w(k)$  that are stored in RAMs of buffer/switch unit (BSU). The streams of wavelet coefficients are managed by the control signals from DSP processor (SYNC - synchronization, LEVEL – select a level of WP tree structure, MODSEL – select a RAM and SW in BSU, R/W – read/write, OUT – results extracting).

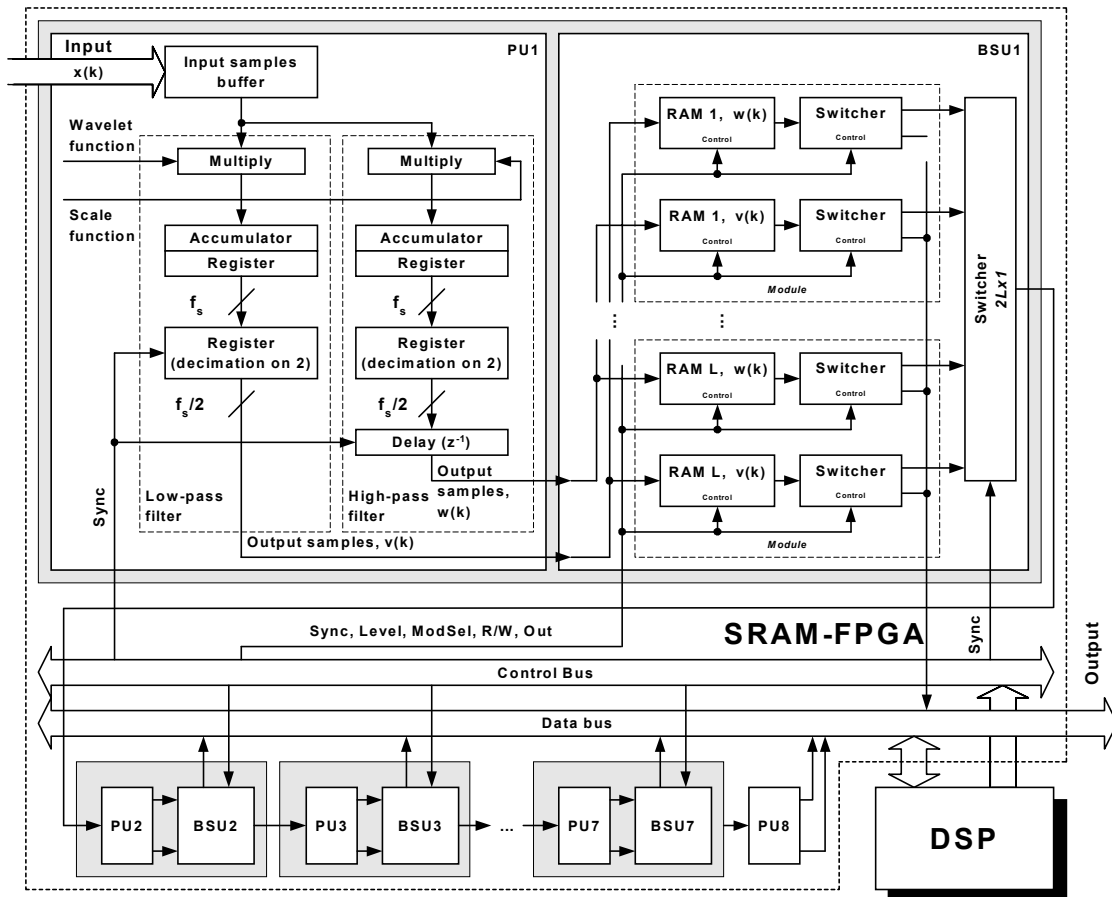


Fig. 1 Schema of dynamic reconfigurable processor DSP/FPGA.

**Conclusion**

The pipe-line principle of designing the dynamic reconfigurable part of the processor based on DSP/FPGA allows organizing parallel pipe-line processing on several levels of WP tree structures directly for input frames of the audio signals.