

ЦИФРОВЫЕ РАЗОМКНУТЫЕ СХЕМЫ ДЕМОДУЛЯТОРОВ СИГНАЛОВ С ЧАСТОТНОЙ И ФАЗОВОЙ МАНИПУЛЯЦИЕЙ

Стешенко В.Б.

Каф. СМ5 "Автономные информационные и управляющие системы" МГТУ им. Н.Э.Баумана
107005, Москва, 2-я Бауманская ул., д.5, тел. 263 6736, E-mail: steshenk@sm.bmstu.ru

Реферат: В работе рассматриваются особенности проектирования цифровых демодуляторов сигналов с частотной и фазовой манипуляцией на ПЛИС. Предлагаются пути построения как демодуляторов, так и систем выделения синхроимпульса.

Введение

В последние годы у нас в стране и за рубежом резко возрос интерес к вопросу проектирования цифровых радиоприемных устройств, предназначенных для приема сигналов с частотной (ЧМн) и фазовой (ФМн) манипуляцией. Причина такого внимания со стороны разработчиков – появление новых алгоритмов и элементной базы, позволяющей их реализовать. В докладе показаны пути реализации современных алгоритмов демодуляции сигналов с ЧМн и ФМн, не требующих замкнутых многопетлевых схем автоподстройки, реализация и настройка которых чрезвычайно сложна.

Детектор ЧМн - сигнала. Для демодуляции частотно-манипулированного сигнала удобно использовать известную схему т.н. дифференциального детектора. Данный блок предназначен для преобразования исходного модулированного радиосигнала в последовательность прямоугольных импульсов, появляющихся с частотой следования символов и обладающих той же полярностью. Частота исходного радиосигнала равна $f = f_0 - \Delta f / 2$, если передается символ «0», и $f = f_0 + \Delta f / 2$, если передается символ «1»; при этом, по техническому заданию, $\Delta f T_c = 1$, где T_c - длительность символа (индекс модуляции единица, сигнал без разрыва фазы). Таким образом, измерение разности $(f - f_0)$ - это и есть та операция, которую должен осуществлять детектор. В Приложении 1 показано, что при наличии отсчетов квадратур исходного радиосигнала: S_k и C_k , $k=0, 1, 2$ и т. д., величина $(f - f_0)_k$ может быть вычислена следующим образом:

$$(f - f_0)_k = \frac{1}{2\pi} \left[\frac{S_k C_{k-1} - C_k S_{k-1}}{S_k^2 + C_k^2} \right].$$

Следует отметить преимущества предлагаемого алгоритма демодуляции ЧМн - сигнала:

1) детектор не требует точной настройки квадратурного генератора (рис.1) на частоту f_0 , что позволяет ему устойчиво функционировать при значительных (до 30%) уходах частоты входного сигнала вследствие эффекта Доплера;

2) операция деления на двучлен $S_k^2 + C_k^2$ не является обязательной, если динамика входного сигнала невелика либо стабилизация амплитуды осуществляется при помощи АРУ в ВЧ - тракте;

3) инвариантность алгоритма к фазе опорного и входного сигналов, а также к амплитуде входного сигнала (при наличии нормирующего множителя) увеличивает помехоустойчивость.

Демодулятор ОФМн - сигнала. Попробуем развить предыдущую структуру на прием сигналов с фазовой манипуляцией. Если используемый вид модуляции – ОФМн (DQPSK), то предназначение детектора остается таким же, как и в случае обработки ЧМн - сигнала, но на выходе блока формируются два потока импульсов: один для идентификации четных символов исходного радиосигнала, а другой - для идентификации нечетных символов.

Таким образом, детектор должен измерять текущее приращение фазы исходного модулированного радиосигнала и в случае обнаружения скачка определенной величины сопоставлять ему пару импульсов с полярностью, заданной табл. 1. Можно показать, что при наличии отсчетов квадратур исходного радиосигнала: S_k и C_k , $k=0, 1, 2$ и т. д., могут быть определены две функции, однозначно задающие величину «скачка» $\Delta \varphi_k$:

$$\sin(\Delta\varphi_k) = \frac{S_k C_{k-1} - C_k S_{k-1}}{\sqrt{S_k^2 + C_k^2} \sqrt{S_{k-1}^2 + C_{k-1}^2}},$$

$$\cos(\Delta\varphi_k) = \frac{C_k C_{k-1} + S_k S_{k-1}}{\sqrt{S_k^2 + C_k^2} \sqrt{S_{k-1}^2 + C_{k-1}^2}}.$$

Следует отметить, что детектор ОФМн - сигнала, построенный по предлагаемой схеме, обладает теми же достоинствами, что и рассмотренный ранее детектор ЧМн - сигнала, но в добавление к этому, он представляет собой реальную альтернативу традиционным когерентным демодуляторам типа схем Сифорова, Костаса и др., поскольку не склонен к т.н. «обратной работе».

Синхронизатор. При достаточно больших отношениях сигнал/шум (ОСШ) на входе демодулятора (20 - 30 дБ) восстановленную последовательность символов можно снимать непосредственно с выхода детектора. Однако при снижении ОСШ (до 10 - 15 дБ) форма сигнала на выходе детектора начинает искажаться (появляются ложные перепады, смещение фронтов по времени и т. п.). Поэтому на выход детектора (внутри ПЛИС) подключается еще один блок – синхронизатор, предназначение которого – восстановить истинную форму демодулированного радиосигнала за счет его накопления и анализа в течение N подряд идущих символов (в описанной далее версии демодуляторов $N = 10$). Синхронизатор реализует оптимальный (по критерию максимума правдоподобия) алгоритм оценки сигнала прямоугольной формы на фоне белого гауссовского шума. Восстановлению подлежат истинные моменты смены символов в исходном радиосигнале (тактовая синхронизация), а также истинная полярность символов.

Главными элементами синхронизатора являются линия задержки на $N * M$ отсчетов (M - число отсчетов на символ), и $(N + 1)$ сумматоров, реализующих операцию накопления. Синхронизатор функционирует следующим образом: каждый отсчет входного сигнала порождает сдвиг в линии задержки, после чего вычисляются суммы каждых M подряд идущих отсчетов, определяются их модули и производится усреднение результатов по N суммам (символам). Если в какой-то момент времени каждое суммирование (по M отсчетам) будет производиться внутри одного символа, значение усредненного сигнала будет максимальным, на выходе порогового устройства (рис.4) появится синхроимпульс, и в этот же момент будут считаны знаки накопленных сумм, с высокой вероятностью совпадающие с полярностями символов.

К преимуществам предлагаемого алгоритма следует отнести:

- 1) высокую эффективность (устойчивость к помехам, к уходу частоты следования символов от номинальной, к снижению частоты дискретизации и др.);
- 2) способность точно восстанавливать моменты смены символов во входном сигнале при длинных (до $N - 1$ включительно) сериях «нулей» и «единиц», причем в конце серии отсутствует переходный процесс (направленный на устранение накопленной ошибки), что характерно для аналоговых устройств;
- 3) наличие на выходе демодулятора одновременно N подряд идущих символов, что может быть важно при корреляционной обработке потока данных (например, при поиске синхросылок);
- 4) простоту операций (суммирование, сдвиг) и хорошую адаптацию к реализации на базе ПЛИС, что не характерно для большинства традиционных алгоритмов, содержащих петли обратной связи (синхронизатор с запаздывающим и опережающим стробированием и др.).

Входным сигналом синхронизатора является выход блока демодулятора.

Заметим, что для реализации суммирования вида $sum_i = y_k + y_{k-1} + y_{k-2} + \dots + y_{k-n+1}$ нецелесообразно использовать каскад из n двухвходовых сумматоров, так как на каждом такте результат этого суммирования может быть получен из значения суммы на предыдущем такте путем вычитания y_{k-n-1} и прибавления y_{k+1} . А именно $sum_{i+1} = sum_i + y_{k+1} - y_{k-n-1}$. Таким образом, для реализации этой части алгоритма синхронизации понадобится один регистр для хранения значения суммы на предыдущем такте и три сумматора, один из которых используется для изменения знака у значения y_{k-n-1} (так как все числа представлены в дополнительном коде). Кроме того необходимы регистры для хранения значений $y_k, y_{k-1}, \dots, y_{k-n+1}$. Если же не учитывать эти n регистров, то количество элементов для выполнения такой операции суммирования не будет зависеть от количества операндов и сэкономить ячейки ПЛИС при количестве слагаемых в сумме $n > 4$. В данном же случае количество слагаемых в каждой сумме равно количеству отсчетов сигнала

приходящихся на символ, то есть $n = 8$ и эффект в увеличении скорости, а главное, в уменьшении занимаемого места, ощутим.

Был реализован блок суммирования, выходными сигналами которого являлись как значение суммы, так и значение y_{k-n-1} , для удобства последовательного соединения таких блоков по входам, что необходимо виду того, что выходящее из одной суммы слагаемое становится слагаемым следующей суммы:

$$X_k = \ln ch (sum_i) + \ln ch (sum_{i+1}) + \dots \\ + \ln ch (sum_{i+m-1})$$

Так как синхронизатор работает по принципу максимума правдоподобия, то схема должна выставлять синхроимпульс в момент достижения выходным сигналом X_k максимума. Для определения момента наступления локальных максимумов этот сигнал дифференцируется, и определяются моменты смены знака продифференцированного сигнала.

Таким образом, мы видим, что тщательно проведенный предварительный расчет позволяет получить качественный результат, имея даже скромные по возможностям продукты моделирования.

В заключении отметим, что все узлы системы были реализованы в виде параметризованных мегафункций с использованием языка описания аппаратуры AHDL, что позволяет с легкостью их использовать для приложений требующих другой точности вычислений.

Литература

1. Губанов Д.А., Стешенко В.Б. Методология реализации алгоритмов цифровой фильтрации на основе программируемых логических интегральных схем. // Сборник докладов 1-й Международной конференции «Цифровая обработка сигналов и ее применения» 30.06-3.07.1998, Москва, МЦНТИ, том 4, с. 9 – 19

2. Губанов Д.А., Стешенко В.Б., Шипулин С.Н. Современные алгоритмы ЦОС: перспективы реализации. // Электроника: наука, технология, бизнес, №1, 1999, с.54-57



METHODOLOGY OF DEMODULATOR DESIGN

Steshenko V.

Department of Autonomous informational and control systems,
Bauman Moscow State Technical University
107005, Moscow, 2-nd Baumanskaya St., 5. (+7-095) 263 67 36, E-mail: steshenk@sm.bmstu.ru

Abstract: The new ways for realization frequency demodulator is presented. The new unclosed algorithm of demodulation FSK signal is presented. The perspectives of algorithms are shown.

Frequency modulation now is one of most popular types of modulation in many communication systems. There are most telemetric systems for space communications satellites used the frequency – shift-keying modulation (FSK). Also FSK used in commercial systems, such as pagers. There are several problems in FPGA implementation of FSK demodulators. The first, most algorithm use PLL, which seldom can realized on FPGA and unclosed algorithm are required. The second, supplementary task is clock frequency restoring without PLL. The fully digital implementation of demodulators is described

In report described frequency detector based on frequency estimating by Gilbert. The frequency of receiving signal is $f=f_0-\Delta f/2$ if “0” transmitting and $f=f_0+\Delta f/2$ if “1” transmitting. The product $\Delta f T = 1$, there T is symbol interval. This mean that modulation index equal 1, phase of signal is continuous. Detector estimates differences $f-f_0$ and produce decision (1 or 0).

The quadrature processing is used. Let I is an in-phase and Q is a quadrature components. The quadrature components of input signal are filtering with digital FIR filters with 32 taps. After filtration quadratures flow to demodulator. Then FSK demodulator algorithm is

$$(f - f_0)_k = \frac{1}{2\pi} \left[\frac{S_k C_{k-1} - C_k S_{k-1}}{S_k^2 + C_k^2} \right]$$

Then FDPSK demodulator algorithm is

$$\sin(\Delta\varphi_k) = \frac{S_k C_{k-1} - C_k S_{k-1}}{\sqrt{S_k^2 + C_k^2} \sqrt{S_{k-1}^2 + C_{k-1}^2}},$$

$$\cos(\Delta\varphi_k) = \frac{C_k C_{k-1} + S_k S_{k-1}}{\sqrt{S_k^2 + C_k^2} \sqrt{S_{k-1}^2 + C_{k-1}^2}}.$$

This algorithm is implemented in ALTERA FLEX 10K50 device. For algorithm entry hardware description language AHDL are used. Most advantage of this algorithm is tolerance for Doppler frequency shift.

For clock frequency restoring used maximum-likelihood estimation of clock impulse period.

These algorithms are implemented in ALTERA FLEX 10K50 device. For the purpose of this project, the FLEX10k series FPGAs made by ALTERA were selected. These FPGAs are RAM based, and contain array of logic cells interconnected via busses and direct wires to nearest neighbors. Each cell basically consists of a look-up table (LUT) with a D flip flop on the LUT output and some extra logic to allow other functions to be programmed. This cell architecture allows implement parallel vector multiplier. For algorithms entry hardware description language AHDL are used.

Experiments are shown that demodulator can operate at SNR less than 15 dB.

Literature

1. Spilker J. Digital Satellite Communication
2. D.Gubanov, V.Steshenko Methodology Of Digital Filters Design For Programmable Logic Devices Implementation // Proceedings DSPA'98, 30.06-3.07.1998, Moscow, ICSTI, Vol. 4-E
3. V.Steshenko The DSP Device Implementation On FPGA Using HDL's // Proceedings DSPA'99, 22.09-24.09.1999, Moscow, ICSTI, Vol. 2