

ОСОБЕННОСТИ АППАРАТНО-ПРОГРАММНОЙ РЕАЛИЗАЦИИ АЛГОРИТМОВ ЦОС ДЛЯ КЛАССА УСТРОЙСТВ “СИСТЕМА НА КРИСТАЛЛЕ”

Алексеев С.Ю., Березин В.Б., Березин В.В., Умников Д.В.

СПбГЭТУ (ЛЭТИ), кафедра “Телевидение и видеотехники”
197376, Санкт-Петербург, ул. Профессора Попова 5.

Непрерывное усложнение методов цифровой обработки сигналов с целью достижения оптимальных характеристик при работе в реальном времени требуют не только экстенсивного роста показателей элементной базы ЦОС (быстродействия, количества эквивалентных вентилях), но и новых архитектурных решений системного уровня интеграции. Рассмотрена архитектура т. н. “систем на кристалле” – приборов, объединяющих в одной БИС основные цифровые системообразующие блоки: процессорное ядро, массив программируемых логических вентилях, оперативное и сверхоперативное внутреннее ЗУ, периферийные устройства ввода-вывода.

Физическое размещение различных системных блоков на одном кристалле и развитые средства межсистемного взаимодействия позволяют гибко организовать аппаратно-программные алгоритмы ЦОС исходя из требований решаемой задачи. Структура вычислений при обработке изображений полагает наличие нескольких вычислительных примитивов, сочетания различных форм одновременности и параллельности и соответствующих архитектурных решений. На примере нового изделия (SoC A7, фирмы Triscend) класса “система на кристалле” исследованы возможности распределенной аппаратно-программной обработки.

Естественные вычислительные примитивы нижнего уровня - локальные процедуры интенсивного счета с ограниченным доступом к глобальной памяти (свертка, фильтрация, интерполяция), реализованы на встроенной матрице конфигурируемой логики. При анализе сложности и производительности учтено, что реконфигурируемая матричная структура содержит до 3800 триггерных ячеек с таблицами перекодировки, позволяющих организовать функциональные узлы комбинационного и последовательного типов, а также имеются специализированные ускоренные линии для построения быстрых сумматоров, счетчиков и умножителей. Пропускная способность шин ввода-вывода матричного вычислителя ограничена их количеством (до 300) и временными параметрами вентилях (2...3 нс). На уровне реконфигурируемой матричной структуры рассмотрена возможность организации систолических, потоковых, конвейерных архитектур параллельных вычислений для обработки сигналов в реальном времени.

Естественные вычислительные примитивы высокого уровня - процедуры интенсивного использования памяти, накопления и вывода результатов обработки (объектно-ориентированные вычисления, описания формы, классификация, сетевое ПО), имеющие сложную алгоритмическую структуру, в рассматриваемой “системе на кристалле” реализованы на архитектуре ARM. Высокопроизводительное 32-разрядное RISC процессорное ядро имеет рекордные показатели по соотношениям производительность/мощность (MIPS/Вт), поддержку команд DSP, малое время реакции на прерывание. Блок памяти включает в себя внутреннее скоростное ОЗУ и кеш-память для увеличения производительности процессорного ядра, гибкий интерфейс к различным видам внешней памяти (ROM, EEPROM, Flash, SRAM, SDRAM), с возможностью управления временными параметрами выборки, с поддержкой 8-, 16-, 32-разрядных устройств и автоматической регенерацией динамической памяти. Встроенные периферийные устройства, состоящие из контроллера прерываний, двух 16-битных таймеров-счетчиков, двух универсальных асинхронных приемопередатчиков, четырехканального высокопроизводительного контроллера DMA, обеспечивают необходимую поддержку вычислений.

Анализ архитектуры “системы на кристалле” показал, что структура подобных устройств включает в себя развитые средства интерфейса между процессорной частью и массивом конфигурируемой логики, т.к. простое механическое размещение на одном кристалле различных блоков еще не образует системы. В качестве такого объединяющего звена рассмотрены системная шина и встроенные аппаратные адресные селекторы. Конфигурируемая системная шина включает в себя адресную шину, шину данных и управления общей разрядность 128 бит с аппаратным управлением. Матрица конфигурируемой логики имеет доступ к системной шине, что необходимо для аппаратной поддержки вычислений и переноса данных между логическим массивом и оперативной памятью. Механизм аппаратных адресных селекторов позволяет процессорному ядру обращаться к проектируемым аппаратным узлам внутри кристалла без использования полезного ресурса собственно массива конфигурируемой логики. Показана возможность использования адресных селекторов для синхронизации аппаратных и программных ветвей выполнения алгоритма.

В докладе рассмотрены результаты аппаратно-программной реализации алгоритмов ЦОС “системой на кристалле” фирмы Triscend A7, а также отражены практические аспекты внедрения указанной системы, впервые проведенное в отечественных технологических условиях. Применение

конфигурируемых систем на кристалле позволило уменьшить время проектирования, более полно использовать вычислительные ресурсы интегральной схемы, значительно сократить габариты печатной платы и энергопотребление устройства.

Литература

1.Золотухо Р., Кривченко И. Конфигурируемая система на кристалле E5 — первое знакомство // Компоненты и технологии. 2001. № 1. С. 26–29.

2.Программируемые приборы класса «система-на-кристалле» для встраиваемых применений // Компоненты и технологии. 2001. № 2. С. 13.