

ЭКСПЕРИМЕНТАЛЬНЫЕ ИССЛЕДОВАНИЯ УСТРОЙСТВА ЦИФРОВОГО ДИАГРАММООБРАЗОВАНИЯ (УЦДО) В ФАЗИРОВАННОЙ АНТЕННОЙ РЕШЕТКЕ (ФАР) С ИСПОЛЬЗОВАНИЕМ ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМ (ПЛИС)

Григорьев Л.Н., Алексеев С.Д.

Всероссийский Научно-Исследовательский институт Радиотехники (ФГУП ВНИИРТ)
105082, Москва, ул. Б.Почтовая, 22, e-mail: www.skala@aha.ru

Рассмотрены экспериментальные результаты исследований устройства цифрового диаграммообразования в ФАР с использованием ПЛИС.

В работах [1,2,3] изложены основные принципы построения цифровой части приемного устройства фазированной антенной решетки. В рассматриваемых работах при построении УЦДО использовались цифровые сигнальные процессоры (ЦСП) SHARC ADSP-21062. Однако при их приобретении и использовании встретились определенные трудности, и было принято решение разработать вариант построения УЦДО на ПЛИС с переходом в перспективе на отечественные базовые матричные кристаллы (БМК).

Структурно-функциональная схема стенда, на котором проводились исследования работоспособности УЦДО на ПЛИС, приведена на Рис. 1. Стенд включает в себя четыре субблока цифровых приемников и субблок суммирования. Субблок цифровых приемников содержит в себе три двухканальных цифровых приемных узла, которые описаны в [1]. Их задачей является аналого-цифровое преобразование (АЦП AD9042, 12 разрядов) на промежуточной частоте, перенос сигнала на видеочастоту, формирование квадратур, децимация в 10 раз и низкочастотная фильтрация (ФНЧ с 40 отводами), для чего используются м/сх AD6620. Далее на четырех ПЛИС Altera EPF10K50VRC240, смонтированных на субблоке цифровых приемников, осуществляется взвешивание оцифрованных сигналов шести подрешеток и их суммирование с целью формирования пяти пространственных каналов. Комплексные весовые коэффициенты зашиты во флеш-памяти субблока. Окончательное суммирование осуществляется в субблоке сумматора, в котором смонтирована ПЛИС Altera EPF10K100ARC240. Субблок сумматора способен обработать взвешенные сигналы пяти пространственных каналов от 36 подрешеток (от шести 6-канальных субблоков цифровых приемников), однако в стенде задействованы только 20 каналов. Помимо схемы суммирования, внутри ПЛИС субблока сумматора реализованы приемопередатчики коммуникационных портов, совместимых с портами ЦСП SHARC ADSP-21060, с помощью которых выходные данные передавались на процессор платы сбора данных ADP60PCI («ИнСис»), установленной в ПЭВМ. С помощью разработанного программного обеспечения и программы визуализации данных ISVI («ИнСис») наблюдались результирующие данные работы системы УЦДО на экране монитора ПЭВМ.

Для инициализации стенда прежде всего загружались конфигурации ПЛИС в субблоках цифровых приемников и сумматора, что производилось с помощью ПЭВМ и установленного в ней пакета MAX+PLUSII через кабель ByteBlasterMV. После загрузки ПЛИС автоматически программировались м/сх AD6620 в узлах цифровых приемников с помощью реализованных на ПЛИС загрузчиков. Затем программировался субблок имитатора аналогового сигнала на промежуточной частоте, для чего использовалась плата сбора данных ADP60PCI («Инструментальные Системы») и соответствующее программное обеспечение. С помощью приемника коммуникационного линк-порта от технологической ПЭВМ принимались данные управления на субблок сумматора. Те данные, код идентификации которых совпадал с кодом субблока, определяли настройки субблока, остальные данные транзитом передавались на субблоки нижнего уровня иерархии (в данном случае – на 4 субблока цифровых приемников). После этого оборудование стенда было готово к работе.

В рабочем режиме в субблоке имитатора формировались имитация сигнала ПЧ 30 МГц и тактовая серия общей синхронизации С1, которые через соответствующие разветвители подавались на исследуемые субблоки. При этом имитация входного аналогового сигнала ПЧ соответствовала ортогональной к антенной решетке плоской волне. Одной из задач, решаемых стендом, являлась проверка формирования диаграммы направленности и синхронности сбора и обработки имитируемых данных. В результате обработки данных на выходе субблока суммирования MB1.1.8.2 формировались пять пространственных каналов, которые через коммуникационные линк-порты заводились на плату ADP60PCI и визуализировались с помощью программы ISVI («Инструментальные Системы»).

В результате проведенных экспериментальных исследований были получены результаты, аналогичные тем, которые имели место при построении УЦДО на сигнальных процессорах [3], и подтверждена возможность реализации УЦДО на ПЛИС.

Библиография

1. Л.Н.Григорьев, В.А.Голубев. Цифровое диаграммообразование в фазированной антенной решетке (ФАР). Труды VII Международной научно-технической конференции «Радиолокация, навигация, связь (RLNC'2001)», г.Воронеж.
2. Р.Л.Махлин, В.А.Голубев, Т.Н.Гушьян. Методы цифровой пространственно-временной обработки сигналов с использованием цифровых сигнальных процессоров. Труды VII Международной научно-технической конференции «Радиолокация, навигация, связь (RLNC'2001)», г.Воронеж.
3. Григорьев Л.Н., Голубев В.А. Экспериментальные исследования устройства цифрового диаграммообразования в фазированной антенной решетке (ФАР). Труды IV Международной конференции и выставки «Цифровая обработка сигналов и ее применения (DSPA'2002)», г. Москва. Рис. 1. Структурная схема стенда УЦДО



EXPERIMENTAL RESEARCH OF ANTENNA PATTERN DIGITAL FORMER IN THE PHASED ARRAY BASED ON THE PROGRAMMABLE LOGIC DEVICES(PLD)

Grigoriev L., Alexeyev S.

All-Russian Institute of Radio Engineering (ARIRE)
Bolshaya Pochtovaya str., 22, Postcode 105082
Moscow, Russian Federation, Phone (095) 265 60 41

Experimental realization of aerial pattern former based on the Altera's programmable logic devices has been considered.

The basic principles of digital part of digital aerial array construction with usage of digital signal processors (DSP SHARC ADSP21062, Analog Devices) were stated in the report [1].

In this report experimental realization of aerial pattern former based on the Altera's programmable logic devices has been considered. Experimental hardware consists of four 6-channel digital receivers connected in parallel to adder unit. Next, digital receiver consist of three double channel digital receiving subunits and four PLD FLEX EPF10K50A (Altera). The tasks of subunits are: IF analog-to-digital conversion (12 bits, AD9042, Analog Devices) with undersampling, separation to inphase and quadrature components of real signal, frequency translation to DC, decimation and low pass filtering (DCDR AD6620, Analog Devices). The tasks of PLDs are complex weighting the data from subunits and first stage summation of six channels. The complex weighting is performed for producing five spatial beams, and weights are written in the three flash memory banks on the PCB. Another task of PLDs is loading six AD6620 DCDRs of the subunits after power on.

Final stage of 20 channel summation is performed on adder unit based on PLD EPF10K100A (Altera). This adder unit is able to process up to 36 channels with five spatial beams each. The resulting aerial pattern forms for five spatial beams are transmitted by adder unit to data acquisition board ADP60PCI (Instrumental Systems, Russia) built in PC and are reflected on PC's display.

Results of experimental research of this aerial pattern former are approximately the same as were obtained on DSP based former [1].

Bibliography:

1. L.N. Grigoriev, V.A. Golubev. Experimental Research of Antenna Pattern Digital Former in the Phased Array. Transactions of IV International conference and exhibition "Digital Signal Processing and its Applications (DSPA-2002)", Moscow, RF.