

# РЕАЛИЗАЦИЯ ЦИФРОВОГО ПРИЕМНИКА СЛОЖНОГО ШИРОКОПОЛОСНОГО СИГНАЛА КАК SOC

Фефилов И.И., Матюшин П.М., Лавлинский С.А., Минин Э.А.

ФГУП Воронежский НИИ Связи  
394018, г. Воронеж, ул. Плехановская д.14

Рассмотрены варианты построения цифровых приемников сложных широкополосных сигналов (ШПС) с многоступенчатым алгоритмом обработки. Предложен метод реализации приемника ШПС как SoC, в FPGA без применения DSP.

## 1. Введение

В прикладных задачах цифровой обработки сигналов иногда встречаются ситуации, когда наряду со сложным многоступенчатым алгоритмом нет возможности применения промышленных процессоров цифровой обработки сигналов (DSP).

В данной работе рассматривается проект цифрового приемника сложного ШПС сигнала с многоступенчатым алгоритмом обработки, реализованного на FPGA серии Virtex компании Xilinx. В соответствии общими требованиями, приемник должен выполнять временной поиск двух компонент квадратурного сигнала, осуществлять захват и удержание синхронизации с ПСП, частотный поиск, фазовую подстройку частоты, демодуляцию обоих компонент сигнала, а так же измерение параметров принимаемого сигнала и их передачу по запросу в ведущее устройство.

Указанная задача была решена методом “Системы На Одном Кристалле” (SoC – System-On-a-Chip). Предложен собственный подход к построению подобных систем.

## 2. Традиционные способы реализации цифровых приемников ШПС

Построение цифровых приемников традиционно решается путем создания отдельных функциональных блоков со сложными механизмами управления для каждой подзадачи (Рис. 1).

Функциональные блоки приемника работают с разной производительностью, обусловленной их назначением. Кроме того, алгоритмы систем связи построены так, что блоки работают не одновременно и не постоянно. Например, поисковый приемник ПСП работает только на начальном этапе, при этом блок DLL (петля слежения за задержкой) и демодуляторы простаивают, и наоборот. Управление такими отдельными специализированными блоками и интерфейсы между ними значительно усложняются. При таком подходе разработчик вынужден применять чипы программируемой логики большого объема, и как следствие, дорогостоящие.

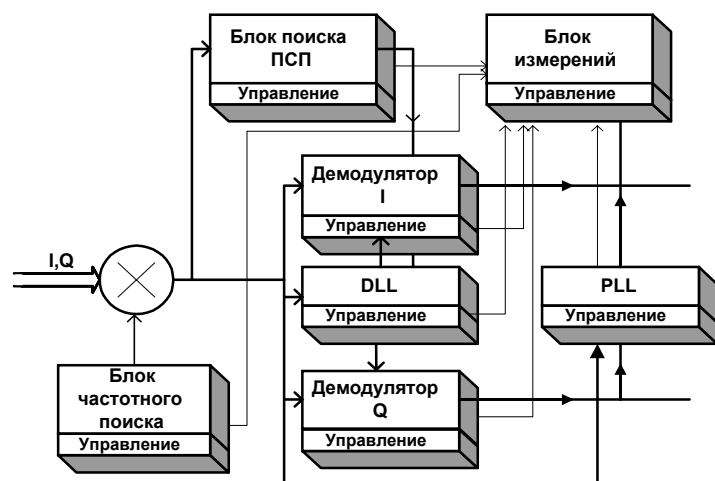


Рис. 1. Блок-схема цифрового приемника ШПС.

благодаря совершенствованию микроэлектронной технологий и росту быстродействия и емкости чипов программируемой логики, в последнее время стали популярны так называемые “Системы На Одном Кристалле”(SoC – System-On-a-Chip). Основой таких чипов служит ядро контроллера внутри FPGA, которое исполняет алгоритмы управления остальными устройствами FPGA. Первые попытки создания таких систем предпринимались еще при появлении первых FPGA [1], однако они были не эффективны вследствие малой емкости и невысокого быстродействия первых кристаллов. В настоящее время существует два основных направления реализации SoC в FPGA. Первое – это реализация в FPGA ядра контроллера с общепринятым набором команд и архитектурой, выполненная на элементах структуры FPGA(cells, LUTs)[2-4]. Это так называемые программные ядра (soft cores). Во втором случае ядро уже существующего контроллера интегрируется в чип FPGA (hard cores) [5, 6]. Структура приемника, выполненного с применением SoC в FPGA, показана на рис. 2.

## 3. Реализация приемника с помощью SoC

Благодаря совершенствованию микроэлектронной технологий и росту быстродействия и емкости чипов программируемой логики, в последнее время стали популярны так называемые “Системы На Одном Кристалле”(SoC – System-On-a-Chip). Основой таких чипов служит ядро контроллера внутри FPGA, которое исполняет алгоритмы управления остальными устройствами FPGA. Первые попытки создания таких систем предпринимались еще при появлении первых FPGA [1], однако они были не эффективны вследствие малой емкости и невысокого

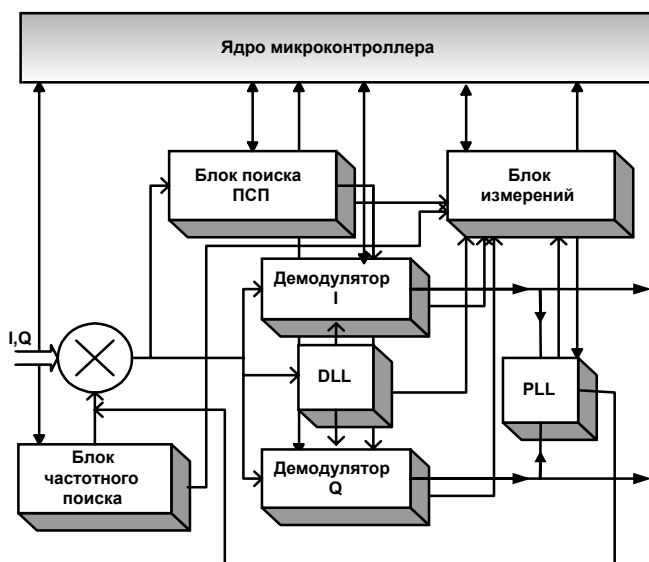


Рис. 2. Блок-схема приемника, реализованного на основе SoC.

На первый взгляд устройство, показанное на Рисунке 1, не стало проще. Однако предоставление функций управления ядру контроллера привело к упрощению функциональных блоков и интерфейсов между ними. Управление функциональными блоками теперь сводится к выполнению простых команд, подаваемых микроконтроллером. Упростилось проектирование устройства в целом и отладка блоков и алгоритмов. Применение ядра сигнального процессора вместо ядра микроконтроллера может переложить на программу процессора исполнение функций медленно работающих блоков, что сократит общий объем приемника.

Но при этом используются ядра с жестко заданной архитектурой и набором команд – универсальные ядра. В таком случае, нет возможности изменить ядра под решение конкретной задачи. Нельзя оптимизировать набор

команд, например - сократить его. Приходится подстраивать задачи под используемую систему. В конечном итоге платой за вынужденную универсальность всегда является большая конечная стоимость изделия.

В результате анализа возможных путей эффективной и недорогой реализации приемника группа разработчиков пришла к структуре, использующей следующие принципы:

- процессорное ядро должно быть построено по принципам RISC процессоров с необходимыми дополнениями;
- в набор команд должны быть включены специальные функции, используемые в процессе обработки сигнала в приемнике;
- набор команд ядра должен быть переопределяем;
- объем памяти ядра, количество прерываний и интерфейсы с периферийными блоками должны быть легко изменяемыми;
- при обработке применяется временное уплотнение с буферизацией результатов в памяти, а функциональные блоки объединяются и вырождаются до выполнения простых функций (свертка сигнала, сдвиг, генерация ПСП и т.д.).

Структура полученного на основе этих принципов приемника показана на Рис. 3.

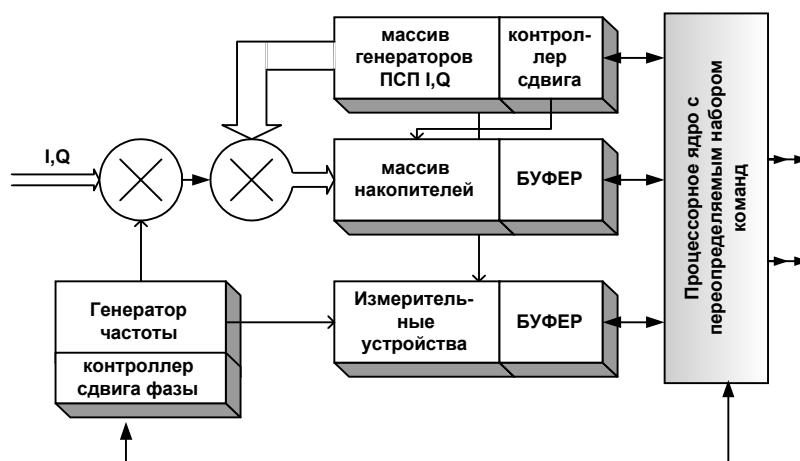


Рис. 3. Блок-схема приемника реализованного на FPGA с процессорным ядром с переопределяемым набором команд.

#### 4. Заключение

В современных условиях эффективность проектирования устройств и, как следствие, успех на рынке напрямую зависят от гибкости применяемых при проектировании технологий и полноты использования современной элементной базы. Представленные в работе принципы построения архитектуры сложных цифровых приемников позволяют в кратчайшие сроки создавать легко реконфигурируемые под новые задачи системы. Гибкость архитектуры ядра и функциональных блоков, переопределяемый набор команд, программная отладка алгоритма обработки сигнала, использование широко распространенных и относительно дешевых FPGA, легкость переноса кода в ASIC, компактная структура всего устройства – вот только некоторые плюсы использования предложенного подхода. На изложенных в данной работе принципах группой инженеров Воронежского НИИ Связи разработан приемник сложного широкополосного сигнала. Блок ЦОС приемника реализован на одной FPGA Xilinx Virtex. Кроме того, описанный подход может быть использован для построения систем SDR (Software Defined Radio) и быстро перестроен под требования новых стандартов связи.

#### Литература

1. <http://www.cse.ucsc.edu/~pak/yoav.html>
2. <http://www.dte.eis.uva.es/OpenProjects/OpenUP/index.htm>
3. Xilinx MicroBlaze Processor Soft Core.  
[http://www.xilinx.com/xlnx/xil\\_prodcat\\_product.jsp?title=microblaze](http://www.xilinx.com/xlnx/xil_prodcat_product.jsp?title=microblaze)
4. Altera Excalibur [http://www.altera.com/literature/br/br\\_excalibur.pdf](http://www.altera.com/literature/br/br_excalibur.pdf)
5. Xilinx Virtex-II Pro Platform FPGAs <http://direct.xilinx.com/bvdocs/publications/ds083-1.pdf>
6. Atmel FPSLIC™ <http://www.atmel.com/atmel/products/prod39.htm>



## SYSTEM-ON-A-CHIP IMPLEMENTATION OF THE COMPLEX WIDEBAND SIGNAL DIGITAL RECEIVER

Fefilov I., Matyushin P., Lavlinski S., Minin E.

Voronezh Research Institute of Telecommunications  
14 Plekhanovskaya Str., Voronezh 394018 Russia, Phone (+7 0732) 52 82 00

**Abstract.** The present paper covers the design principles of the digital receivers of complex wideband signals employing multistage processing algorithms. The SoC implementation technique of the wideband signal receiver by FPGA without DSP is proposed.

Some digital signal processing applications containing sophisticated multistage algorithms are constrained by impossibility of usage of single processor chips. Recently System-On-a-Chip (SoC) in FPGA is used to solve such problems. The SoC architecture includes the controller core, and the programming logic array. The latter is controlled by the core. The wideband signal receiver implemented as SoC by FPGA is shown in Figure 1.

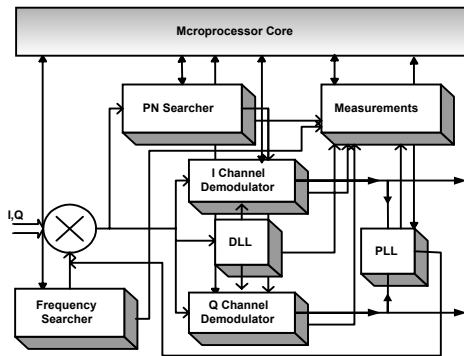


Fig. 1. Conventional SoC receiver architecture

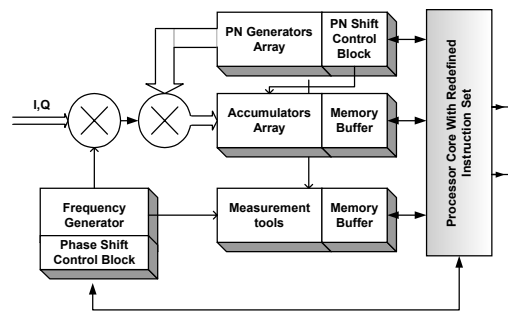


Fig. 2. Proposed receiver architecture

Different SoC [1-4] offered nowadays at the market contain cores with rigidly pre-set architecture and commands. Such cores cannot be modified for a particular solution. Hence, the designers have to adjust their tasks according to the available system. The forced universality is a reason for high end cost of the product.

Having analyzed simple and efficient receiver implementation, the designing team selected an architecture based upon the following principles: 1) the processor core must be designed by the RISC processor principles with necessary additions; 2) the command set must include special functions used for the receiver signal processing; 3) the core command set must be redefinable; 4) the core memory size, number of interrupts and interfaces to periphery units must be easily modified; 5) time compression with memory buffering of the results is used for processing, and the functional blocks are combined and degraded to performance of simple functions (signal convolution, offset, PN code generation, etc.). The architecture of the receiver designed by the above principles is shown in Figure 2.

The design principles of the complex digital receiver architecture presented in the paper allow fast creation of easily reconfigurable systems. The advantages of the proposed approach include flexible core architecture and functional blocks, redefined set of commands, software debugging of a signal processing algorithm, usage of popular and relatively inexpensive FPGA, easy code transfer to ASIC, compact structure of the system. In addition, the described approach can be used for the Software Defined Radio (SDR) design, and easily adjusted by new communication standards requirements.

## References

1. [http://www.xilinx.com/xlnx/xil\\_prodcat\\_product.jsp?title=microblaze](http://www.xilinx.com/xlnx/xil_prodcat_product.jsp?title=microblaze)
2. [http://www.altera.com/literature/br/br\\_excalibur.pdf](http://www.altera.com/literature/br/br_excalibur.pdf)
3. <http://direct.xilinx.com/bvdocs/publications/ds083-1.pdf>
4. <http://www.atmel.com/atmel/products/prod39.htm>