

СЕТЬ ИЗ ИМПУЛЬСНЫХ НЕЙРОНОВ С ЗАДЕРЖКОЙ НА ОСНОВЕ АНАЛОГО-ЦИФРОВОЙ ПЕРЕПРОГРАММИРУЕМОЙ ИНТЕГРАЛЬНОЙ СХЕМЫ

Алюшин А.В., Алюшин М.В., Алюшин С.А.

Московский инженерно-физический институт (Государственный университет)
115409, Каширское шоссе, 31

Реферат. Представлена структура аналого-цифровой перепрограммируемой интегральной схемы и PCI-карты на ее основе. Структура предназначена для обработки акустических, речевых и биомедицинских сигналов. Плата содержит все необходимые элементы для реализации нейросети на основе импульсного нейрона с задержкой. Рассмотрен пример реализации 32-канальной системы анализа речи с реализацией психоакустических особенностей восприятия звуков человеком.

Введение

Цифровые перепрограммируемые структуры, например, FPGA (Field Programmable Gate Array) [1,2], FPPA (Field Programmable Processor Array) [3], FPNA (Field Programmable Neural Array) [4] находят широкое применение при разработке и исследованиях нейроподобных сетей благодаря низкой стоимости разработки, сокращению сроков проектирования, возможности быстрого перепрограммирования и перехода на новые образцы интегральных схем. Однако реализация многих операций в цифровом виде (умножение, суммирование, нелинейное преобразование) приводит к большим аппаратным затратам на FPGA, что в ряде случаев оправдывает использование оптимизированных с интегральной точки зрения узлов цифровой обработки сигналов – сигнальных процессоров. Кроме того, многие процессы обработки информации (распространение волны, асинхронная или стохастическая генерация импульсов и т.п.) реализуются на цифровых системах в ограниченных объемах.

С точки зрения аппаратных затрат аналоговая обработка данных обладает рядом преимуществ перед цифровой. Однако реализация аналоговых нейросетей часто основывается на дискретных элементах или полностью заказных БИС, что увеличивает стоимость и сроки изготовления системы. Кроме того, возможности по перепрограммированию структуры сети, масштабированию сети, перехода на новые образцы оказываются ограниченными. Наиболее близкими к биологическим нейросетям являются аналого-цифровые нейросети. Примером данного подхода может служить проект FIPROS (Field Programmable System On a Chip), предусматривающий создание аналоговых и цифровых перепрограммируемых структур на одном кристалле вместе с микроконтроллером [5].

Целью данной работы является представление структуры аналого-цифровой перепрограммируемой интегральной схемы (ADFPIC) и PCI платы на ее основе. Область применения платы – обработка акустических, речевых и биомедицинских сигналов. Набор элементов для реализации аналого-цифрового нейрона представлен на рис. 1.

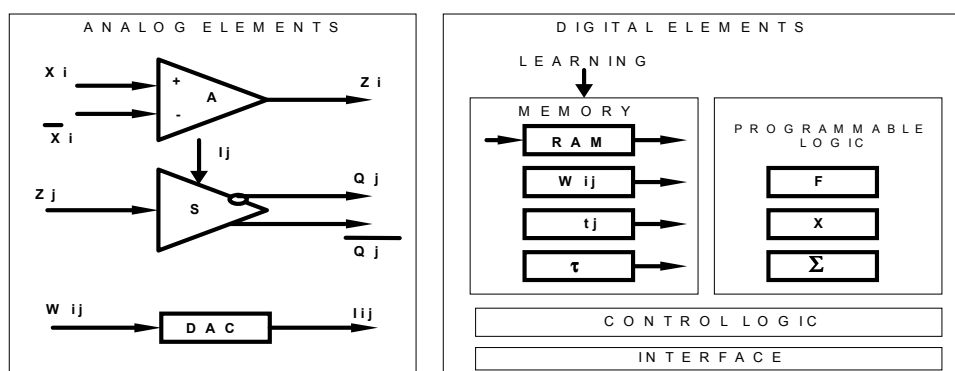


Рис. 1. Элементы аналого-цифрового нейрона

Целью данной работы является представление структуры аналого-цифровой перепрограммируемой интегральной схемы (ADFPIC) и PCI платы на ее основе. Область применения платы – обработка акустических, речевых и биомедицинских сигналов. Набор элементов для реализации аналого-цифрового нейрона представлен на рис. 1

Набор является достаточным для реализации импульсных нейронов, учитывающих задержку распространения сигнала в цепи синаптической связи и содержит:

- дифференциальные входные усилители А, дифференциальные выходные каскады S с управляемым током, ЦАП;
- цифровую память для хранения параметров синаптических связей (коэффициент передачи, время задержки, постоянная времени интегрирования);
- программируемую логику и специализированные функциональные узлы (сумматоры, умножители, нелинейные преобразователи и т.п.);
- цифровой блок управления и интерфейса.

Особенностью разработанной платы является возможность синтеза нейросетей с различным соотношением количества аналоговых, аналого-цифровых и цифровых нейронов. Кроме того, в ряде случаев оказалось возможным непосредственное подключение аналого-цифровой нейросети к источнику аналогового сигнала.

Расширение динамического диапазона обрабатываемых аналоговых сигналов достигается за счет нелинейного ЦАП (см. рис. 2), включенного в состав каждого синаптического элемента.

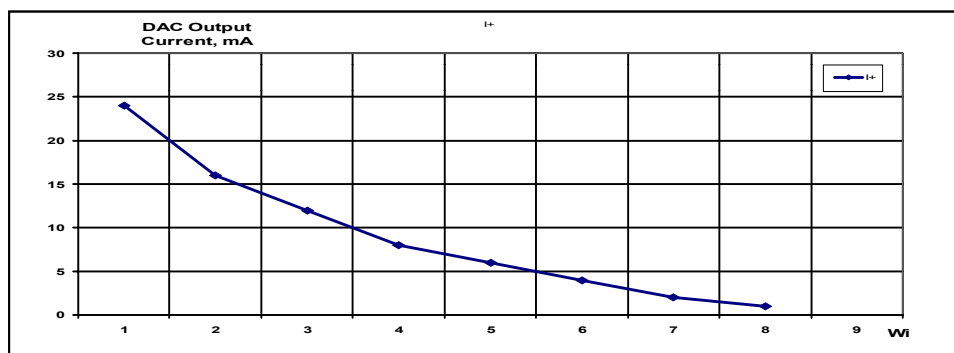


Рис. 2. Выходной ток синаптического элемента

Для удобства программирования аналого-цифровой нейросети разработана PCI-плата, структурная схема которой приведена на рис. 3.

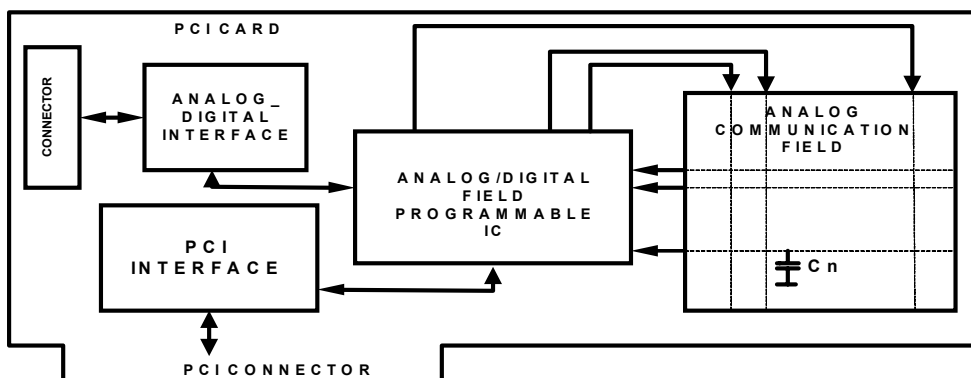


Рис. 3. Аналого-цифровая PCI- плата

Параметры аналоговой части нейросети в зависимости от типа используемого корпуса ADFPIC представлены в таблице.

Таблица

Тип корпуса ADFPIC	PQ240	BGA 432	BGA56 0	FGA 1156
Кол-во аналоговых усилителей	20	40	64	86
Кол-во аналоговых синапсов	64	120	192	256

Представлены результаты синтеза многослойной сети прямого распространения из импульсных нейронов с задержкой для анализа речевых сигналов в реальном масштабе времени (“электронное ухо”). В каждом слое реализовано по 32 нейрона. Количество слоев 3...5. Для примера на рисунке 4 представлена экспериментальная зависимость средней частоты выходных импульсов одного нейрона промежуточного слоя от частоты входного синусоидального сигнала нейросети при постоянном входном напряжении.

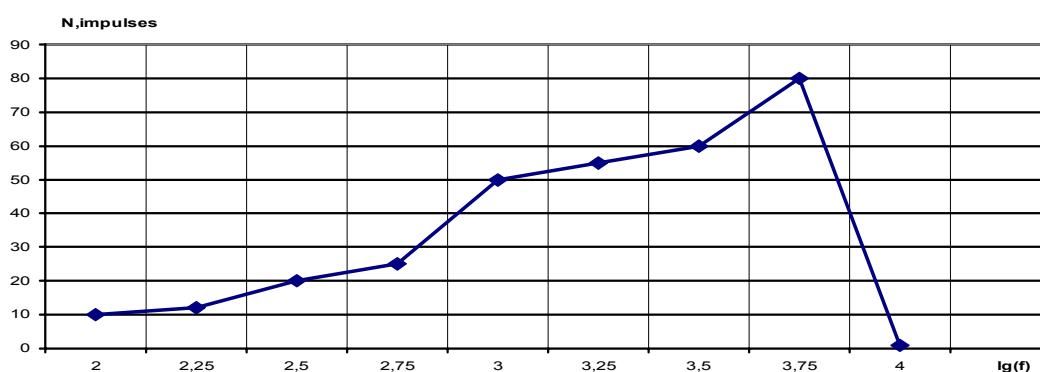


Рис. 4.

Данная зависимость хорошо согласуется с известными характеристиками восприятия звуков человеческим ухом [6]. Таким образом, на плате реализована 32-канальная система анализа спектра речи с реализацией психоакустических особенностей восприятия звуков человеком. Дальнейшим направлением работ является реализация 64...256-канальной системы.

Литература

1. Алюшин А.В., Алюшин М.В. Аппаратная реализация быстродействующих нейросетей на основе программируемой логики фирм AMD, ALTERA, XILINX.- Научная сессия МИФИ-2003. Сб. научн. трудов. В 14 томах. Т.1. Автоматика. Микроэлектроника. Электроника. Электронные измерительные системы. М.: МИФИ, 2003, с.139-141.
2. Алюшин А.В., Алюшин М.В. Анализ структуры современных FPGA. В сб. «Электроника, микро- и нанозлектроника».- М.:МИФИ, 2001, с.218-222.
3. Girau B., Marchal P., Nussbaum P., Tisserand A. Evolvable platform for array processing: a one-chip approach. Proceedings of the Seventh Int. conf. on microelectronics for neural, fuzzy and bio-inspired systems. Microneuro'99, April 7-9, 1999, Granada, Spain, p.187-193.
4. Giray B. Building a 2D- compatible multilayer neural network. Proceedings of the IEEE-INNS-ENNS Int. Joint Conference on neural networks. IJCNN 2000.
5. Moreno J.M., Cabestany J., Madrenas E., et. al. Approaching evolving hardware to reality: the role of dynamic reconfiguration and virtual meso - structures. Proceedings of the Seventh Int. conf. on microelectronics for neural, fuzzy and bio-inspired systems. Microneuro'99, April 7-9, 1999, Granada, Spain, p.163-170.
6. Rabiner L., Juang B.J. Fundamentals of speech recognition. Prentice Hall PTR. Englewood Cliffs, New Jersey, 1993.