

МОДУЛИ ОБРАБОТКИ СИГНАЛОВ НА ОСНОВЕ ЦИФРОВЫХ СИГНАЛЬНЫХ ПРОЦЕССОРОВ TMS320C6701 И ADSP-TS101

Андреев Н.А., Марочкин М.В., Рыбаков В.Ю.

ФГУП «Государственный Рязанский приборный завод»

Введение

Доклад посвящен результатам разработки программируемых процессоров сигналов, проведенной сотрудниками научно-технического центра Государственного Рязанского приборного завода при выполнении опытно-конструкторских работ в течение 2002 - 2004 годов.

Программируемые процессоры сигналов предназначены для решения задач цифровой обработки сигналов в составе вычислительных комплексов БРЛС. Конструктивно программируемые процессоры сигналов выполнены в виде модулей, имеющих обозначения - модуль обработки сигналов (МОС) 1С000 и 3С001. Модуль 1С000 выполнен на основе цифрового сигнального процессора (ЦСП) семейства С6701 фирмы Texas Instruments, и модуль 3С001 на ADSP-TigerSHARK фирмы Analog Devices.

Структура вычислительных комплексов БРЛС

Вычислительный комплекс БРЛС представляет собой комбинированное вычислительное устройство, объединяющее в единой архитектуре и едином конструктиве центральный процессор данных, графический контроллер, программируемый цифровой процессор сигналов, устройства аналого-цифрового преобразования, предобработки и синхронизации сигналов блоков БРЛС, интерфейсные устройства сопряжения вычислительного комплекса с блоками БРЛС и БРЭА.

Для объединения модулей комплекса используется системная шина CompactPCI, работающая на тактовой частоте 33 МГц и обеспечивающая скорость передачи данных до 1054 Мбит/с. Системная шина служит для подключения устройств, требующих высокой скорости обмена данными: центрального процессора, графического контроллера и программируемого сигнального процессора. Нагрузочную способность шины не более 8 единиц.

Возможны варианты построения вычислительного комплекса для различных типов приемника БРЛС. Для БРЛС с цифровым приемником сигналов в составе комплекса используется модуль сопряжения с приемником, выполняющий разделение поступающих по одной 32-разрядной специализированной шине цифровых данных суммарного, компенсационного и разностных каналов, буферизацию и распределение данных каналов между модулями МОС.

Вычислительный комплекс БРЛС с приемником второй промежуточной частоты включает модуль АЦП, на который поступают аналоговые сигналы с суммарного, компенсационного и разностных каналов приемника. Модуль выполняет аналого-цифровое преобразование сигналов, цифровую демодуляцию, предварительную цифровую фильтрацию, накопление сигналов, буферизацию и выдачу данных на модули МОС.

Модуль обработки сигналов является специализированным программно управляемым вычислительным устройством и предназначен для цифровой обработки сигнальной информации, фильтрации сигналов, формирования и обработки изображений. МОС принимает данные с модуля предварительной обработки сигналов по специализированной шине в формате 32-разрядного комплексного числа с фиксированной точкой по одному или нескольким позиционным каналам. Выходные данные модуля МОС могут передаваться по шине Compact PCI на модули центрального процессора, графического контроллера или на другой МОС. Обмен данными между модулями МОС возможен и по специальной шине связи.

Количество модулей МОС в составе вычислительного комплекса может меняться от одного до четырех в зависимости от требуемой производительности системы программной обработки сигналов.

Назначение и общие технические характеристики МОС

Модуль обработки сигналов 1С000 выполнен на основе печатной платы размером 144,5 x 160 мм. На плате размещены следующие основные элементы:

- два цифровых сигнальных процессора фирмы Texas Instruments TMS320C6701GJCA120;
- ПЛИС фирмы Altera ACEX EP1K100EF1484-2;
- 2 микросхемы синхронного статического ОЗУ объемом 512Кx32 каждая;
- 2 микросхемы двухпортового синхронного статического ОЗУ объемом 256Кx32 каждая;
- микросхема двухпортового синхронного статического ОЗУ объемом 128Кx32;
- 2 микросхемы FLASH-памяти объемом 512 Кбайт;
- микросхема FLASH-памяти конфигурационного ПЗУ ПЛИС объемом 2 Мбит;
- системный разъем - розетка HAR-BUS HM 17 26220 2102 фирмы "Harting".

На функциональном уровне модуль 1С000 включает следующие основные блоки:

- Два вычислительных устройства на основе ЦСП TMS320C6701.
- Устройство управления вводом-выводом на основе ПЛИС.
- Энергонезависимую FLASH-память, предназначенную для хранения файла конфигурации ПЛИС.

- Цифровой интерфейс, обеспечивающий ввод данных по параллельной 32-разрядной шине с частотой до 30 МГц.

- Интерфейс системной шины CompactPCI, поддерживающий спецификацию интерфейса PCI версии 2.2 для 32-разрядной шины с тактовой частотой 33 МГц.

- Интерфейс NPI, обеспечивающий управление ЦСП со стороны управляющего (HOST) процессора через системную шину CompactPCI.

Элементы вычислительного устройства объединяет внешний интерфейс EMIF (External Memory Interface) ЦСП, представляющий собой 32-разрядную шину с тактовой частотой 120 МГц. К шине EMIF подключены:

- синхронная статическая память локального ОЗУ объемом 2 Мбайт;

- двухпортовая синхронная статическая память обмена данными между ЦСП и устройством управления вводом-выводом объемом 1 Мбайт;

- двухпортовая синхронная статическая память обмена данными между ЦСП первого и второго вычислительных устройств объемом 512 Кбайт;

- FLASH-память программ ЦСП объемом 512 Кбайт;

- ПЛИС устройства управления вводом-выводом.

Двухпортовая память обмена данными между ЦСП и ПЛИС устройства управления вводом-выводом подключены к шинам EMIF первого и второго вычислительных устройств.

ЦСП имеет 16-разрядный асинхронный интерфейс NPI, обеспечивающий доступ управляющего (HOST) процессора к устройствам, отображаемым на пространство памяти ЦСП. ЦСП первого и второго вычислительных устройств соединены шиной NPI с ПЛИС устройства управления вводом-выводом.

Модуль 1C000 выполнен в конструктиве "Евромеханика формфактор 4U" с кондуктивным теплоотводом, краевой металлизацией и креплением в корпусе теплопередающими клиньями. Выбор элементной базы обеспечивают работоспособность модуля в составе вычислительного комплекса с внешним обдувом корпуса, в диапазоне от минус 50 до плюс 60°С.

Максимальная производительность модуля 1C000 составляет:

- для операций с фиксированной запятой - 1920 MIPS (миллионов оп/с);

- для операций с плавающей запятой - 1440 MFLOPS (миллионов операций с плавающей запятой в секунду).

Модуль обработки сигналов 3C001

Модуль обработки сигналов 3C001 выполнен на основе печатной платы размером 100 x 160 мм. На плате размещены следующие основные элементы:

- четыре цифровых сигнальных процессора ADSP-TS101SAB2-100 фирмы Analog Devices;

- ПЛИС фирмы Altera EP2A25F672I8;

- 4 микросхемы синхронного динамического ОЗУ объемом 16Мx16 бит каждая;

- микросхема FLASH-памяти объемом 512 Кбайт;

- микросхема FLASH-памяти конфигурационного ПЗУ ПЛИС объемом 2 Мбайт;

- системный разъем - розетка HAR-BUS HM 17 26220 2102 фирмы "Harting".

На функциональном уровне модуль 3C001 включает следующие основные блоки:

- Четыре цифровых сигнальных процессора ADSP-TS101.

- Синхронное динамическое ОЗУ общим объемом 64 Мбайт.

- Энергонезависимая FLASH-память, предназначенная для хранения программ ЦСП.

- Устройство управления вводом-выводом на основе ПЛИС.

- Энергонезависимая FLASH-память, предназначенная для хранения файла конфигурации ПЛИС.

- Последовательный цифровой интерфейс LVDS, обеспечивающий ввод и вывод по 8-и линиям данных производительностью 560 Мбит каждая.

- Интерфейс системной шины CompactPCI, поддерживающий спецификацию интерфейса PCI версии 2.2 для 32-разрядной шины с тактовой частотой 33 МГц.

Цифровые сигнальные процессоры объединяет в группу (кластер) внешний интерфейс шины кластера, представляющий собой 64-разрядную шину с тактовой частотой 100 МГц.

К шине кластера в дополнение к ЦСП подключены:

- синхронное динамическое глобальное ОЗУ объемом 16Мx64 битных слов;

- 8-разрядная FLASH-память программ ЦСП объемом 512 Кбайт;

- 16-разрядная FLASH-память конфигурации ПЗУ ПЛИС объемом 2 Мбайт;

- ПЛИС устройства управления вводом-выводом.

Контроллер ввода-вывода, реализованный на ПЛИС, интегрирует следующие устройства управления обменом данными по каналам ввода-вывода:

- контроллеры 4-х каналов ввода LVDSI 0...3;

- контроллеры 4-х каналов вывода LVDSO 0...3;

- контроллеры 2-х каналов обмена с шиной PCI 0, 1.

Каждый канал контроллера ввода-вывода обеспечивает управление обменом данными с устройствами МОС по следующим интерфейсам:

- по шине кластера по синхронному конвейерному протоколу с любым из ЦСП;
- по шине кластера по протоколу синхронной динамической памяти с SDRAM;
- через линк-порт с ЦСП, номер которого соответствует номеру канала контроллера ввода-вывода.

Пропускная способность каждого из 4-х каналов ввода или вывода LVDS составляет 28 млн. 32-разрядных слов в секунду. Дополнительно контроллер канала ввода LVDS обеспечивает ретрансляцию данных на канал вывода LVDS с соответствующим номером.

Модуль 3С001 выполнен в конструктиве "Евромеханика формфактор 3U" с кондуктивным теплоотводом, краевой металлизацией и креплением в корпусе теплопередающими клиньями. Применяемая элементная база обеспечивает работоспособность модуля в составе вычислительного комплекса с внешним обдувом корпуса, в диапазоне от минус 50 до +60°С.

Максимальная производительность модуля 3С001 составляет:

- для операций с фиксированной запятой - 9600 MIPS (миллионов оп/с);
- для операций с плавающей запятой - 7200 MFLOPS (миллионов операций с плавающей запятой в секунду).

Поддержка разработки приложений

Для модуля 1С000, пакет проектирования Code Composer Studio версии 2.0 для семейства С6000 позволяет разрабатывать и отлаживать, с помощью интегрированного программного симулятора, приложения ЦСП.

Code Composer Studio с внутрисхемным JTAG эмулятором SPI525 PCI, обеспечивает отладку мультипроцессорных (для нескольких ЦСП) приложений на базе модуля 1С000.

НРІ интерфейс обеспечивает отладку встроенных приложений одного или нескольких модулей 1С000 в составе вычислительного комплекса, имеющего системную шину Compact-PCI или PCI.

Для модуля 3С001, система проектирования VisualDSP++ версии 3.0 для ADSP семейства Tiger-SHARK позволяет разрабатывать и отлаживать, с помощью интегрированного программного симулятора, приложения ЦСП.

Использование VisualDSP++ совместно с внутрисхемным JTAG эмулятором ADDS-HPPCI-ICE обеспечивает отладку мультипроцессорных (для нескольких ЦСП) приложений на базе модуля 3С001.

HOST интерфейс и программа удаленного отладчика обеспечивают отладку встроенных приложений одного или нескольких модулей 1С000 в составе вычислительного комплекса, имеющего системную шину Compact-PCI.

Сравнительные характеристики производительности

Для оценки производительности ЦСП TMS C6701 и ADSP-TS101 и сравнения характеристик, модулей обработки сигналов, проведена разработка программного обеспечения, реализующего часть алгоритма обработки РЛ сигнала в режиме «Обзор ВЧП» изделия ОСА. Результаты анализа выполнения основных операторов алгоритма приведены в таблице.

Процедура	Параметры (частота повторения ИЗП 100 кГц)					
	1B577		TMS C6701		ADSP-TS101	
	циклы	мкс	циклы	мкс	циклы	мкс
Согласование с длительностью строба	106276	2657	127200	1060	26569	88,6
Дополнение нулями	784	19,6	195	1,6	114	0,4
Коррекция не ортогональности	7016	175,4	1757	14,6	1751	5,8
Взвешивание	12318	308	3547	29,6	2612	8,7
БПФ с перестановкой 1024 отсчетов	42784	1069,6	23120	192,7	10696	35,7
Сумма квадратов	4228	106	1058	8,8	1057	3,5
Обнаружение и форм. выходного массива	13388	335	1704	14,2	4990	16,6
Всего для 1 строба:	186794	4670	158581	1322	47789	160
МОС для 8 стробов:	-	9340	-	5288	-	320

Результаты анализа выполнения операций в количестве тактов показывают, что ADSP-TS101 имеет лучшую архитектуру; незначительно уступает ему TMS C6701; а архитектура 1B577 в количественных показателях

зателях в 4 раза уступает ADSP-TS101. Сравнение производительности ЦСП 1B577, TMSC6701 и ADSP-TS101 для тактовых частот соответственно 40, 120 и 300 МГц (60, 720 и 1800 MFLOPS) дает соотношение производительностей 1, 12 и 30. Производительности модулей МОС БТ55-201 СЦВМ «Багет-55», 1С000 и 3С001 составляют 240, 1440 и 7200 MFLOPS и соотносятся как 1, 6 и 30.

