

## УСТРОЙСТВО ЦИФРОВОЙ ОБРАБОТКИ РАДИОЛОКАЦИОННЫХ СИГНАЛОВ

Доброжанский А.П., Зайцев Г.В., Цыпин И.Б.

Научно-производственное объединение “Алмаз”

### 1. Введение

Устройство обработки сигналов (УОС) является одним из важнейших узлов современных радиолокационных станций (РЛС). В докладе описывается разработанное устройство обработки радиолокационных сигналов на основе программируемого процессора с производительностью более 20 GFLOPS. Оно предназначено для решения следующих основных задач: оптимальная фильтрация полезных сигналов в заданной области координат на фоне шумов и помех; обнаружение полезных сигналов по результатам фильтрации, измерение параметров обнаруженных сигналов.

Бурное развитие микроэлектроники привело к тому, что обе задачи эффективно решаются в цифровом виде. При этом к устройству цифровой обработки предъявляются следующие требования:

- высокая производительность при решении перечисленных задач, исчисляемая миллиардами операций в секунду;
- непрерывная работа в реальном масштабе времени с малой задержкой получения результатов решения каждой задачи;
- многофункциональность, то есть возможность обработки широкого класса радиолокационных сигналов;
- возможность модернизации устройства без изменения аппаратной части;
- малые веса и габариты.

Реализация этих требований приводит к построению УОС на основе программируемого процессора обработки сигналов. При этом УОС состоит из двух взаимосвязанных частей (рис. 1): устройства усиления и преобразования сигналов (УУПС) и собственно программируемого процессора сигналов (ППС).

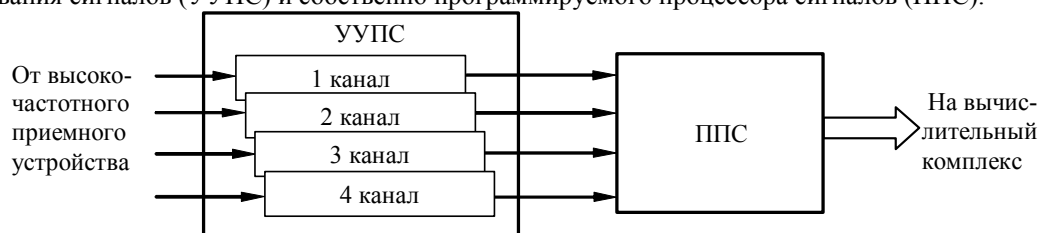


Рис. 1. Основные составные части УОС

Основными функциями первого блока являются управляемое усиление, формирование полосы сигналов, обрабатываемых в цифровом виде, и аналого-цифровое преобразование сигналов. В рассматриваемом УОС количество аналоговых каналов равно четырем – суммарный, два разностных и вспомогательный каналы. Следует подчеркнуть, что, несмотря на то, что вся основная обработка производится в ППС, первый блок является весьма важным узлом, определяющим многие важные характеристики устройства в целом, такие как чувствительность, динамический диапазон, максимальная полоса частот обрабатываемых сигналов.

### 2. Устройство усиления и преобразования сигналов

Структурная схема одного из четырех идентичных каналов УУПС приведена на рис. 2.

Канал построен по бесквадратурной схеме дискретизации на промежуточной частоте  $f_{ПЧ} = 60$  МГц. Полосовой фильтр предварительной селекции на поверхностных акустических волнах с полосой пропускания  $\Delta F = 6$  МГц обеспечивает приемлемые частотные и импульсные характеристики в полосе обрабатываемых сигналов (порядка 3 МГц) при использовании метода передискретизации. Цифровой формирователь полосы после АЦП реализует перенос обрабатываемых сигналов на видеочастоту, формирует квадратурные каналы, уменьшает до необходимой величины полосу обработки для каждого типа сигналов с одновременным прореживанием выборки.

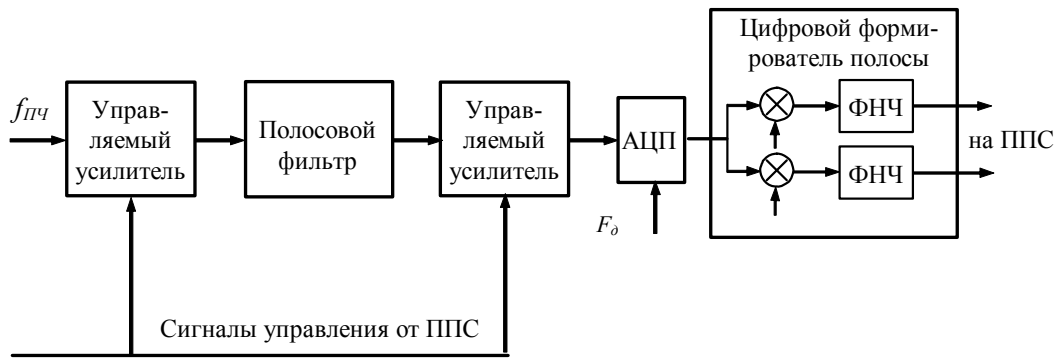


Рис. 2. Структурная схема канала усиления и преобразования сигнала

Аналого-цифровое преобразование реализует 14-разрядный АЦП с частотой дискретизации  $F_0 = 48$  МГц. В качестве СБИС АЦП использована микросхема AD6645 фирмы Analog Devices.

Управляемые усилители в составе структурной схемы канала УУПС, кроме формирования достаточного для работы АЦП уровня сигнала, обеспечивают две независимых автоматических регулировки усиления (АРУ): АРУ по карте помех для предотвращения ограничения в тракте и шумовую АРУ для поддержания на оптимальном уровне отношения входных шумов к уровню квантования АЦП.

### 3. Программируемый процессор сигналов

ППС реализует все основные алгоритмы многоканальной оптимальной фильтрации, обнаружения полезных сигналов и измерения их параметров. Программируемость процессора позволяет использовать широкий набор зондирующих сигналов, необходимых современной многофункциональной радиолокационной станции, и гибко менять режимы ее работы в зависимости от изменения окружающей обстановки.

Основные требования к ППС определяются классом выполняемых алгоритмов и необходимой производительностью при их выполнении. Анализ алгоритмов обработки радиолокационных сигналов [1] дает возможность выделить базовые подалгоритмы, эффективное выполнение которых должно быть обеспечено в ППС. Основной объем вычислений приходится на такие подалгоритмы с хорошо развитым параллелизмом, как БПФ, фильтрация и поэлементные операции с массивами. Однако существенна доля и подалгоритмов с большим количеством ветвлений и условных переходов, таких как пороговая обработка и измерение координат. В связи с этим устройство построено по достаточно универсальной архитектуре.

Потребная производительность ППС определяется параметрами обрабатываемых сигналов, зависит от режимов работы РЛС и может достигать сотен GFLOPS, что приводит к необходимости построения многопроцессорного устройства.

Другие требования к ППС вытекают из общих принципов разработки РЛС и состоят в обеспечении безинерционного переключения режимов работы устройства, зондирующих сигналов, длительностей периодов зондирования и других параметров без специальных затрат времени на переключение; а также в минимизации времени задержки получения результатов обработки после приема сигнала.

Структурная схема ППС, разработанная на основе указанных принципов, показана на рис.3. ППС состоит из следующих функциональных узлов, каждый из которых размещен на ячейке евростандарта формата 6U:

- вычислительный модуль (ВМ) из шести процессорных элементов (ПЭ);
- контроллер выходной информации, реализующий вывод результатов обработки на фоне вычислений;
- модуль управления, имеющий два процессорных элемента;
- цифровой имитатор сигнала;
- модуль синхронизации и контроля.

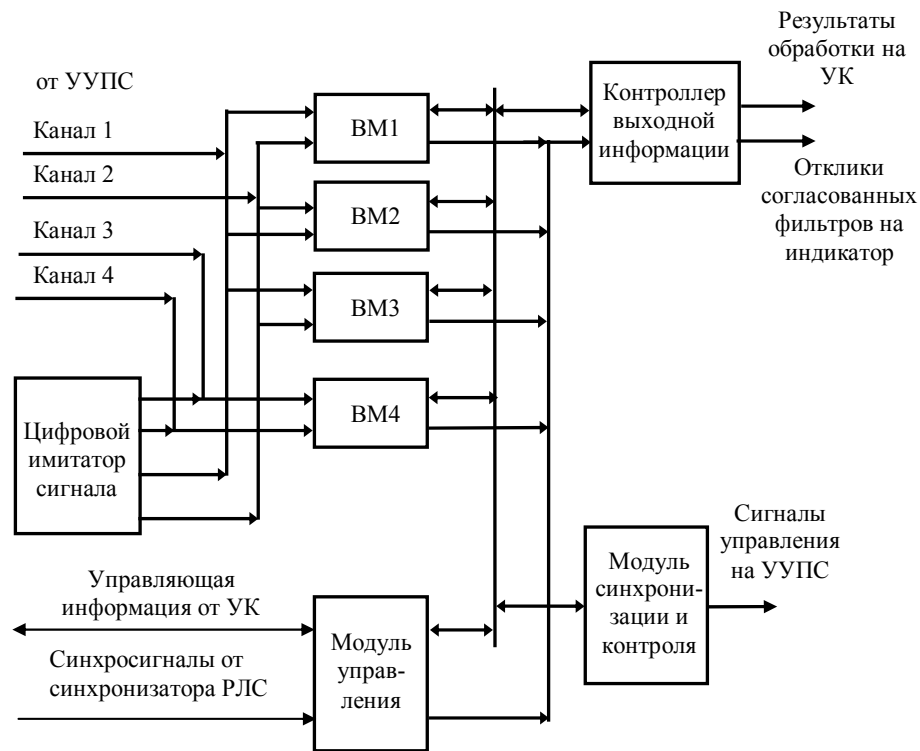


Рис.3. Структурная схема программируемого процессора сигналов

Основным вычислительным элементом ППС является вычислительный модуль. Он имеет в своем составе шесть идентичных процессорных элементов, каждый из которых содержит СБИС сигнального процессора ADSP-21160 фирмы Analog Devices и буферное ЗУ типа FIFO для накопления результатов обработки, подключенное к одному из линк-портов. Это позволяет осуществлять выгрузку результатов обработки независимо из каждого процессора в режиме прямого доступа без потери производительности. Процессоры объединены в кластер по параллельной шине. Ввод информации от АЦП осуществляется также через линк-порты непосредственно в память процессоров. Распределение входных данных по процессорным элементам осуществляется специализированным контролером, размещенным на плате вычислительного модуля. Номинальная производительность вычислительного модуля составляет 3600 MFLOPS.

Количество необходимых вычислительных модулей может варьироваться в зависимости от требований конкретной РЛС. Разработанное устройство содержит четыре вычислительных модуля. Предусмотрена возможность увеличения количества вычислительных модулей до шести. Общая производительность ППС в максимальной конфигурации – 21,6 GFLOPS.

На вход вычислительных модулей поступают цифровые сигналы от каналов УУПС. Сигналы суммарного и вспомогательного каналов обрабатываются вычислительными модулями № 1...3, сигналы разностных каналов – модулем № 4. В режимах контроля вместо входных сигналов используются сигналы от модуля цифрового имитатора.

Управляющая информация перед каждым тактом зондирования поступает от управляющего компьютера (УК) РЛС на модуль управления по каналу связи с протоколом HDLC и электрическим интерфейсом RS-485. Этот модуль содержит два процессорных элемента на основе БИС ADSP-21160, связанных через двухпортовое оперативное запоминающее устройство. Первый ПЭ обрабатывает управляющую информацию и формирует временную диаграмму работы УОС, второй реализует управление устройством и выполняет заключительные алгоритмы обработки сигнала, не имеющие параллельных ветвей.

Реализация последовательно поступающих задач в УОС производится в конвейерном режиме. В связи с различными временами зондирования конвейер имеет переменный темп работы [1].

Выходная информация УОС выдается по двум каналам связи с 16-разрядными данными. По первому каналу на УК передаются заключительные результаты обработки, по второму на индикаторные устройства выдается первичная радиолокационная информация, т.е. отклики сформированных оптимальных фильтров.

#### 4. Заключение

В настоящее время изготовлено несколько образцов описанного устройства. Полностью разработано программное обеспечение для решения задач обработки сигналов в конкретной РЛС. Результаты испытаний подтвердили эффективность заложенных решений.

Проводятся работы по повышению производительности устройства путем разработки вычислительного модуля на базе сигнального процессора ADSP-TS101 (201).

**Литература**

1. Д.Ю.Бобров, А.П.Доброжанский, Г.В.Зайцев, Ю.В.Маликов, И.Б.Цыпин. Цифровая обработка сигналов в многофункциональных РЛС. – Цифровая обработка сигналов, 2001, №4; 2002, №№1,2.

---

**UNIT FOR DIGITAL SIGNAL PROCESSING OF RADAR SIGNALS**

Dobrozhansky A., Zaytsev G., Tsipin I.

“Almaz” Scientific Industrial Corporation

Multiprocessing programmable unit for digital signal processing of radar signals is described. The unit has throughput of 20 GFLOPS and is intended for optimum filtering, detection, and measurement tasks in multifunction radars.

The usage of programmable equipment is caused by requirements of great throughput, real-time work mode, and a lot of processed radar waveforms. The unit consists of two interrelated parts: multichannel analog gain-converter channels (GCC) and programmable signal processor (PSP).

Main functions of the first part are controlled amplification, forming of signal bandwidth to be processed, and analog-to-digital conversion. The number of channels in GCC is four: sum, two angle, and auxiliary radar channels. All channels are identical. Analog signal bandwidth is restricted by surface acoustic wave bandpass filter. Controlled amplifiers provide two independent automatic gain-control (AGC) loops: noise AGC and clutter-map AGC. Analog-to-digital conversion is fulfilled by 14-digit converter on the basis of integrated circuit AD6645 from Analog Devices Inc. The last stage of each channel is digital bandwidth former, which fulfills finite-impulse-response digital filter, forming of quadrature channels, and decreasing of sampling frequency.

The PSP executes all necessary algorithms of signal processing. Programmable unit provides easy implementation of multi-waveform processing and fast switching of work modes.

The PSP uses parallel structure of identical processing elements and pipeline method of solving for successive tasks. This architecture provides high throughput, minimum delay of processing results, and zero latency for mode switching.

The PSP contains the following functional modules, each of which is designed as a printed circuit board of 6U dimension: processing modules, control module, signal simulator, output information controller, and synchronization and testing module.

Main computational part of the PSP is processing module. It contains six identical processing elements on the basis of integrated circuit of digital signal processor ADSP-21160 from Analog Devices Inc. All these processing elements are connected in a cluster by parallel bus. Distribution of input information among processing elements is performed by special controller. Maximum throughput of the module is 3600 MFLOPS. The unit contains up to six processing modules. Thus, the throughput of the PSP on the whole is more than 20 GFLOPS.

Several samples of the unit were manufactured. All the programs for specific radar were debugged. Test results confirm the efficiency of the used design strategy.

Upgrading of the unit is being performed by designing a new processing module with threefold throughput on the basis of signal processor ADSP-TS101 (201).

---