

ПОСТРОЕНИЕ ВЫСОКОСКОРОСТНЫХ ДЕМОДУЛЯТОРОВ ЧМ, ФМ2 И ФМ4 НА ПЛИС

Уваров С.С.

ЗАО «Инструментальные Системы»

Введение

Теоретические основы построения демодуляторов сигналов с частотной и фазовой манипуляцией были разработаны достаточно давно (патент на схему Костаса датируется 1960-г). Однако практическая реализация таких устройств на современной элементной базе и в настоящее время представляет собой весьма актуальную задачу. Стремительное развитие элементной базы (ПЛИС и сигнальных процессоров) приводит к тому, что все более высокопроизводительные устройства обработки сигналов могут быть реализованы в цифровом исполнении.

Противоречивые требования высокой производительности, низкой вероятности ошибки при заданном соотношении сигнал/шум, и низкой стоимости устройства дают право на жизнь целому ряду различных компромиссных решений. В данной работе были выбраны классические методы демодуляции: согласованная фильтрация для ЧМ и схема Костаса для ФМ2 и ФМ4 (см. рис. 1 и 2).

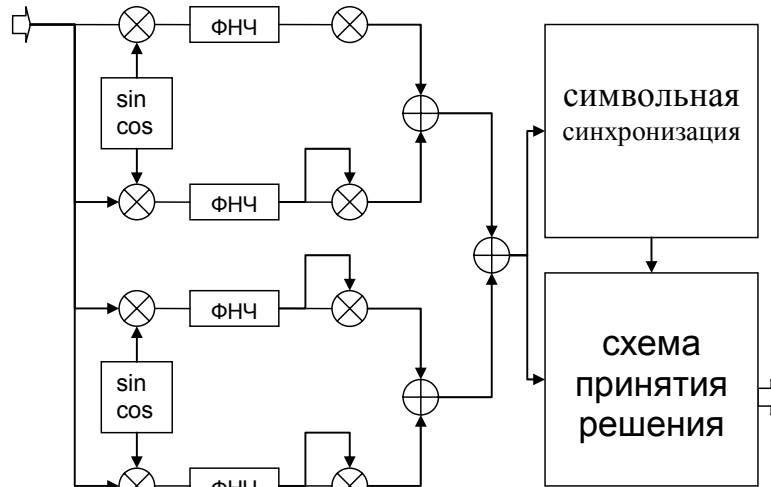


Рис.1. Демодулятор ЧМ сигнала (квадратурный фильтр)

Технические характеристики

Скорость битового потока от 100 Кбит до 20 Мбит.

Частота несущей может быть задана произвольной (в данной работе используется 40МГц и 140МГц).

Для достижения приемлемых энергетических потерь из-за дискретизации сигнала (>0.5 дБ) а так же с учетом возможностей современной элементной базы и ограничений по стоимости изделия была выбрана частота дискретизации АЦП и цифровой обработки 200МГц.

Общая структура демодуляторов

Демодуляторы реализованы на базе серийных изделий: модуля ADP101E1 с интерфейсом USB 2.0 и submodule ADM212x200M. Дискретизация аналогового сигнала ПЧ производится 12-разрядным АЦП submodule с частотой 200 МГц (используется только один канал). Дискретизованный сигнал поступает в ПЛИС модуля ADP101E1 SPARTAN-3 ёмкостью 1,5 млн. вентилей. Вся цифровая обработка осуществляется именно в этой ПЛИС. Далее демодулированный битовый поток данных через FIFO поступает в сигнальный процессор ADSP-TS101, откуда в свою очередь передается через ПЛИС HOST в контроллер USB.

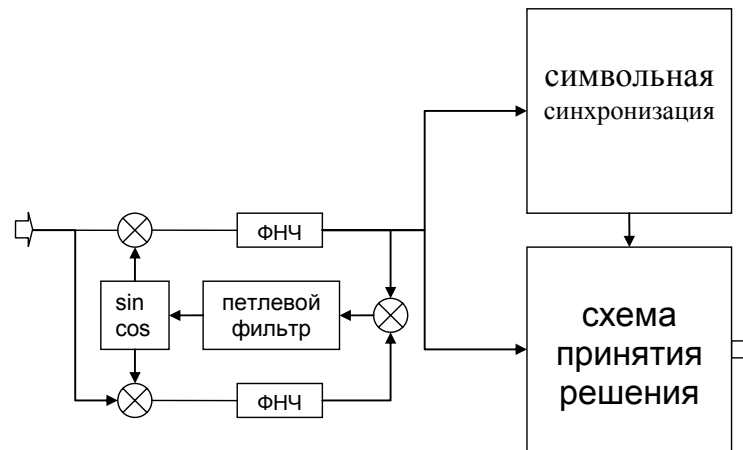


Рис. 2. Демодулятор ФМ сигнала (схема Костаса)

Методика моделирования разработки и тестирования

Создание демодуляторов проходило в четыре этапа:

1. Качественное моделирование алгоритма
2. Разработка и моделирование схемы (HDL описание)
3. Отладка реального устройства в стартопном режиме без физического источника сигнала
4. Отладка устройства на реальном сигнале имитатора

Разработка сложного устройства ЦОС на современном уровне требует, прежде всего, проведения моделирования. Корректно выполненное моделирование способно решить следующие задачи:

1. Выбор наиболее подходящего алгоритма обработки
2. Оптимизация алгоритма с учетом заданных параметров
3. Оценка достижимости требуемых технических характеристик устройства при заданной стоимости.
4. Начальная верификация предложенного технического (схемотехнического) решения

На первом этапе разработки проводилось моделирование в среде MATLAB. Результатами первого этапа были выбор алгоритмов обработки и архитектуры аппаратной реализации, оптимизация разрядности и выбор элементной базы (ПЛИС требуемой емкости и быстродействия).

На втором этапе были описаны схемы демодуляторов на языке описания аппаратуры VHDL. Хотя VHDL описание небольшого узла схемы может показаться менее наглядным, чем схемотехническое представление, язык VHDL (как и другие HDL языки), несомненно, оказывается гораздо более удобным при описании больших цифровых устройств. К основным преимуществам языка можно отнести возможность описания больших регулярных структур таких, как сумматоры, компараторы, счетчики, и т.п. в виде «циклов». При этом, VHDL позволяет создавать схемы с произвольной, параметризованной разрядностью.

Вышеуказанные свойства HDL-языка позволили описать отдельные базовые вычислительные элементы, такие как сумматоры, интеграторы, фильтры скользящего среднего, цифровые синтезаторы и т.п., как параметризованные функции с произвольной разрядностью, что привело к существенному сокращению объема VHDL кода и времени разработки, и, в тоже время, придало схеме большую гибкость (для изменения разрядности отдельных узлов необходимо лишь изменить одну переменную). Для достижения требуемой производительности (частоты тактирования 200 МГц) были применены конвейеризация арифметических операций (сложения и вычитания) и распараллеливание отдельных вычислительных узлов. При этом еще на этапе моделирования были определены ограничения по задержкам (особенно для петли обратной связи схем ФАП), гарантирующие достижение требуемых параметров.

Имплементация схемы (назначение логических блоков и трассировка) производилась с помощью САПР автоматически. Трассировка «вручную» как метод достижения высокого быстродействия не применялась, ввиду большой трудоемкости и негибкости полученного решения. Высокое быстродействие схемы было заложено на уровне VHDL описания, что обеспечивает простоту переносимости отдельных элементов и всей схемы в ПЛИС другого объема, и даже другой серии. Для отладки устройства в схему были введены мультиплексоры, обеспечивающие вывод данных из промежуточных точек устройства. Так же было введено входное FIFO, обеспечивающее запись тестовых данных процессором в ПЛИС. Поскольку темп записи данных процессором существенно ниже темпа обработки в ПЛИС, схема была снабжена сигналом разрешения работы, который формируется при наличии данных в FIFO. Подобное решение позволило на третьем этапе отлаживать демодулятор без физического источника сигнала. В качестве источника сигнала выступает процессор, который считывает данные из заранее сформированного файла. При этом обработка сигнала происходит на реальной тактовой частоте (200МГц), но в стартопном режиме. Обработанный сигнал записывается в другой файл. Подобное решение позволяет легко обнаружить сбои в работе цифровой

схемы, поскольку, возможно побитовое сравнение реально обработанного сигнала с результатом моделирования.

На четвертом этапе производились испытания демодулятора с использованием физического имитатора сигнала. Имитатор собран так же на базе серийных изделий: процессорной платы ADP101PCI_V30 и submodule квадратурного UP-конвертора ADMQM9857. Имитационный сигнал формируется следующим образом: по заданным характеристикам (частота и тип манипуляции, соотношение сигнал/шум, тип тестового сигнала, длительность посылки, число посылок и т.д.) программа на host-компьютере формирует отсчеты тестового сигнала перенесенного в ноль по частоте. Полученные отсчеты записываются во внешнюю память платы ADP101PCI_V30 (256-МБ.). Далее из внешней памяти эти данные передаются в UP-конвертор, где производится интерполяция, перенос на ПЧ, фильтрация и цифро-аналоговое преобразование. С аналогового выхода submodule ADMQM9857 сигнал подается на вход submodule АЦП ADM212x200M. Битовый поток данных с выхода демодулятора передается в host-компьютер по интерфейсу USB 2.0. Программа на host-компьютере сравнивает переданный битовый поток с исходным и вычисляет число и процент ошибок. При больших отношениях сигнал/шум (низкой вероятности ошибок) подобный эксперимент проводится многократно, для накопления необходимой статистики. Программная оболочка имитатора позволяет существенно упростить процесс исследования характеристик демодулятора. Все настройки демодулятора производятся автоматически при задании характеристик манипуляции сигнала. Выполнение необходимого числа циклов, и усреднение результатов измерений (вероятности ошибки) так же автоматизировано.

Заключение

Разработка современного устройства ЦОС представляет собой сложный технологический процесс. Первым условием, необходимым для успешного завершения разработки является оценка достижимости требуемых характеристик устройства. Другим не менее важным требованием к технологии разработки является обеспечение возможности распараллеливания работ в группе разработчиков. Так этап создания и отладки схемы устройства ЦОС может происходить параллельно с созданием печатной платы и разработкой других схемотехнических узлов. Предложенная методика отладки устройств ЦОС без физического источника сигнала позволяет проводить отладку реального устройства обработки параллельно с созданием физического источника сигнала (цифрового имитатора, и/или аналоговой приемной части).

Создание стенда для испытаний позволяет проводить автоматизированную верификацию устройства и осуществить все необходимые измерения характеристик.

В рамках данной работы были созданы демодуляторы ФМ2, ФМ4 и ЧМ сигналов со скоростью информационного потока до 20Мбит, работающие на тактовой частоте 200 МГц. Для достижения требуемого быстродействия схемы были применены распараллеливание и конвейеризация арифметических операций. Был создан имитатор ФМ2, ФМ4 и ЧМ сигналов и программное обеспечение, позволяющее во многом автоматизировать процесс верификации изделия.

Литература

1. Б. Скляр Цифровая связь. Теоретические основы и практическое применение. 2-е издание. Издательский дом «Вильямс» 2004.
2. Дж. Спилкер Цифровая спутниковая связь. Москва «Связь» 1979.
3. Стешенко В. Б. Цифровые разомкнутые схемы демодуляторов сигналов с частотной и фазовой манипуляцией. Доклады 5-й международной конференции DSPA-2003.

This research describes method of development, debugging and parameter measurement of frequency- and phase-shift keying signal demodulators. Alternative technical realization of high bit rate demodulators (20Mbit) based on XILINX FPGA SPARTAN-3 was proposed.

